

Docket No. 0039-7271-2SRD

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Daisaburo TAKASHIMA, et al.  
SERIAL NO: NEW APPLICATION  
FILED: HEREWITH  
FOR: SEMICONDUCTOR DEVICE

GAU:  
EXAMINER:

**REQUEST FOR PRIORITY**

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

**COUNTRY**

Japan

**APPLICATION NUMBER**

10-185304

**MONTH/DAY/YEAR**

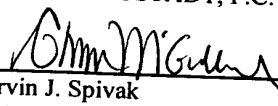
June 30, 1998

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Fourth Floor  
1755 Jefferson Davis Highway  
Arlington, Virginia 22202  
Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 11/98)

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1998年 6月30日

出 願 番 号  
Application Number:

平成10年特許願第185304号

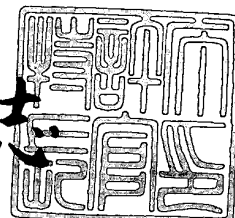
出 願 人  
Applicant (s):

株式会社東芝

1999年 4月 9日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平11-3022738

【書類名】 特許願

【整理番号】 A009803114

【提出日】 平成10年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 高島 大三郎

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 小野 瑞城

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100084618

    【弁理士】

    【氏名又は名称】 村松 貞男

【選任した代理人】

    【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書  
 【発明の名称】 半導体装置  
 【特許請求の範囲】

【請求項 1】

半導体基板の表面層に形成された第 1 導電型のチャンネルと、このチャンネルの両側に形成された第 2 導電型のソース及びドレインと、少なくとも前記チャンネルの上に直接又はバッファ絶縁膜を介して形成された第 1 の比誘電率を持つゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、少なくとも前記ゲート絶縁膜の側部に形成された第 2 の比誘電率を持つ側部絶縁膜とを備えた半導体装置であって、

第 1 の比誘電率は 20 以上で、かつ第 2 の比誘電率より大きく、前記チャンネル、ソース、及びドレインを含む領域と前記ゲート絶縁膜が接する面積  $S_1$  に対して、前記ゲート電極とゲート絶縁膜が接する面積  $S_2$  の方を大きくしてなることを特徴とする半導体装置。

【請求項 2】

前記ゲート絶縁膜は、チャンネル側の幅に対してゲート電極側の幅の方が大きいテーパ断面形状を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート絶縁膜における電束密度は、ゲート電極側が粗く、チャンネル側が密であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

半導体基板の表面層に形成された第 1 導電型の第 1 のチャンネルと、この第 1 のチャンネルの両側に形成された第 2 導電型の第 1 のソース及び第 1 のドレインと、少なくとも第 1 のチャンネルの上に直接或いはバッファ絶縁膜を介して形成された第 1 の比誘電率を持つ第 1 のゲート絶縁膜と、この第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、少なくとも第 1 のゲート絶縁膜の側部に形成された第 2 の比誘電率を持つ第 1 の側部絶縁膜とを備えた複数の第 1 の MOS 型トランジスタと、

前記基板の表面層に形成された第 1 導電型の第 2 のチャンネルと、この第 2 のチ

チャネルの両側に形成された第2導電型の第2のソース及び第2のドレインと、少なくとも第2のチャネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された第2のゲート電極と、少なくとも第2のゲート絶縁膜の側部に形成された第2の比誘電率を持つ第2の側部絶縁膜からなる複数の第2のMOS型トランジスタとを具備してなり、

第1の比誘電率は20以上で、かつ第2の比誘電率より大きく、第1のゲート絶縁膜の底部面積を $S_1$ 、上部面積を $S_2$ 、第2のゲート絶縁膜の底部面積を $S_3$ 、第2のゲート絶縁膜の上部面積を $S_4$ とすると、

$$S_2/S_1 > S_4/S_3$$

が成り立つことを特徴とする半導体装置。

#### 【請求項5】

第1のゲート電極に印加される電圧は、第2のゲート電極に印加される電圧よりも低いことを特徴とする請求項4記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、LSI等で用いるMOS型半導体装置に係わり、特にゲート絶縁膜に比誘電率が20以上の高誘電率材料、或いは強誘電体材料を用いた半導体装置に関する。

##### 【0002】

#### 【従来の技術】

近年、半導体技術分野においては、微細加工技術等によるトランジスタのスケールリングにより、数100万トランジスタが数 $\text{cm}^2$ 角の1チップ上に搭載されるまでになり、大型コンピュータ、パーソナルコンピュータ、家電製品、自動車、携帯電話等、至る所で利用されるようになっている。

##### 【0003】

一般に、トランジスタを縮小する場合、例えばトランジスタサイズを電界一定のスケールリングにより $1/k$ にする場合、各トランジスタのパラメータを以下の

ようにスケーリングする。ゲート酸化膜厚： $T_{ox}/k$ 、チャネル長： $L/k$ 、チャネル幅： $W/k$ 、Si基板の不純物濃度： $N_A \times k$ 、ソース・ドレイン部の接合深さ： $X_j/k$ 、電源電圧： $V_{dd}/k$ である。

【0004】

このようにすると、トランジスタ面積は、

$$(W/k) \times (L/k) = WL/k^2$$

と2乗分の1で縮小され、トランジスタのゲート負荷容量Cは、

$$C = \epsilon / (T_{ox}/k) \times (W/k) / (L/k) \\ = \{ (\epsilon / T_{ox}) \times W \times L \} / k$$

となり、トランジスタの駆動電流は、

$$I = \mu \epsilon / (T_{ox}/k) \times (W/k) / (L/k) \times (V_{dd}/k - V_t) \times V_{dd}/k \\ \sim \{ (\mu \epsilon / T_{ox}) \times (W/L) \times V_{dd} \times V_{dd} \} / k$$

と $1/k$ に低減される。従って、トランジスタの動作遅延 $t$ は、配線容量、配線抵抗を無視すると、

$$t = Q/I = \{ (C/k) \times (V_{dd}/k) \} / (I/k) = t/k$$

とスケーリング係数 $k$ に比例して縮小される。ここで、 $Q$ は電荷を示している。

【0005】

今日のLSIの高速化は、トランジスタのスケーリングによって為し得たと言っている。図34左図は、今日量産化に実現しているトランジスタの実寸サイズを示す。ゲート酸化膜厚 $T_{ox} = 5 \text{ nm}$ 、チャネル長 $L = 0.2 \mu\text{m}$ 、ソース・ドレイン部の接合深さ $X_j = 100 \text{ nm}$ となっている。

【0006】

ところで、これから先の世代に向かってトランジスタをスケーリングしていった場合、ゲート電極-基板間、ゲート電極-ソース・ドレイン間を流れるゲート酸化膜のリーク電流が大きな障害になると予想される。

【0007】

現状のゲート酸化膜では、FN-トンネル (Fowler-Nordeim-Tunneling) 電流が支配的で、酸化膜が薄くなることにより、ゲート酸化膜に印加される電界が大

きくなるに従って、FN-トンネル電流はほぼ電界の2乗で増加する。さらに酸化膜を薄膜化すると、 $T_{ox} = 3\text{ nm} \sim 4\text{ nm}$  辺りから直接トンネル (Direct-Tunneling) 電流が流れ始める。直接トンネル電流は、電界に比例して増加するばかりでなく、ゲート酸化膜の薄膜化に対して指数関数的に増加するため、FN-トンネルに比べ、桁違いに大きなゲート電流が流れてしまう大きな問題点を持つ。

#### 【0008】

ゲート酸化膜リーク電流により、1) LSIチップ全体のスタンバイリーク電流が増大、2) ゲートに蓄積した電荷が逃げるため、ダイナミック回路が動作しない、3) DRAM等のセルキャパシタに蓄積した電荷が逃げるため、メモリとして動作しない、4) さらにゲート酸化膜を薄膜化するとトランジスタのON電流と比較できなくなり、スタティック回路自身も動作しなくなる、等の致命的な問題となる。

#### 【0009】

図34右図は、今のトランジスタのスケーリングが続いた場合、10年後のトランジスタのサイズを示している。ゲート酸化膜厚  $T_{ox} = 1.5\text{ nm}$ 、チャネル長  $L = 50\text{ nm}$  ( $0.05\text{ }\mu\text{ m}$ )、ソース・ドレイン部の接合深さ  $X_j = 10\text{ nm}$  となっている。

#### 【0010】

例えば、ゲート酸化膜厚  $T_{ox} = 3.5\text{ nm}$  から  $1.6\text{ nm}$  にすると、ゲートリーク電流は  $V_{dd} = 0.5\text{ V}$  時、 $4 \times 10^{-17}\text{ A}/\mu\text{ m}^2$  から  $4 \times 10^{-9}\text{ A}/\mu\text{ m}^2$  と実測で実に8桁も増大してしまう。これでは、例えば  $W/L = 0.4\text{ }\mu\text{ m}/0.05\text{ }\mu\text{ m}$ 、 $T_{ox} = 1.5\text{ nm}$  サイズのトランジスタのゲートに貯えられる電荷は、

$$0.4\text{ }\mu\text{ m} \times 0.05\text{ }\mu\text{ m} \times 8.854 \times 10^{-14}\text{ F/cm} \times 4/1.5\text{ nm} = 0.5\text{ fF}$$

で、これに対してゲートリーク電流は、

$$0.4\text{ }\mu\text{ m} \times 0.05\text{ }\mu\text{ m} \times 4 \times 10^{-9}\text{ A}/\mu\text{ m}^2 = 8 \times 10^{-11}\text{ A}$$

となり、電荷を蓄積保持できる時間は、

$$Q/I = 0.5\text{ fF} / (8 \times 10^{-11}\text{ A}) = 6\text{ }\mu\text{ s}$$



しかなく、メモリとして用いることができないことはもちろん、1桁～2桁のバラツキを考慮すると、ダイナミック回路には適用できない。さらに、 $1\text{ cm}^2$  角のLSIチップ全体のリーク電流は、

$$4 \times 10^{-9} \text{ A} / \mu\text{m}^2 \times 10^4 \mu\text{m} \times 10^4 \mu\text{m} = 0.4 \text{ A}$$

と、とてつもなく大きな値になってしまう。

#### 【0011】

一方、ゲート酸化膜の薄膜化は諦め、トランジスタの駆動電流はそこそこで、 $L = 0.05 \mu\text{m}$  のトランジスタを構成した場合、ショートチャネル効果が大きくなってしまい、DIBL (Drain Induced Barrier Lowering) を抑えたり、Sファクタの劣化を抑えることが極めて困難になる。ショートチャネル効果は通常、チャネル長 $L$ が、

$$L = 0.4 \{ X_j \times T_{ox} (W_s + W_d)^2 \}^{1/3}$$

以下だと顕著になり始める。ここで、 $X_j$  はソース・ドレイン部の接合深さ、 $T_{ox}$  はゲート酸化膜厚、 $W_s + W_d$  はソース及びドレインの空乏層幅の和である。 $T_{ox}$  を縮小できない分、ソース・ドレイン部の接合深さ $X_j$  等をオーバースケーリングしなくてはならない。

#### 【0012】

しかしながら、 $X_j$  は現状でも $100\text{ nm}$ 程度と小さく、さらに浅い接合を形成するのには多くの困難を伴う。即ち、従来のゲート絶縁膜に酸化膜を利用し続けるのには、FN-トンネル電流、直接トンネル電流が指数関数的に増大し、多くの困難を伴う問題があった。

#### 【0013】

この問題に対して最近、図35に示すように、ゲート絶縁膜に高誘電体膜を利用する試みがなされている。 $\text{SiO}_2$ 等のゲート酸化膜の比誘電率( $\epsilon_r$ )が約4であるのに対して、 $\text{Si}_3\text{N}_4$ 、 $\text{NO}$ では比誘電率が7～8程度、 $\text{Ta}_2\text{O}_5$ では比誘電率が20～30程度、 $\text{TiO}_2$ では比誘電率が80程度、 $\text{SrTiO}_3$ では比誘電率が100～200、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ では比誘電率が250～300と大きく、比誘電率が大きな材料をゲート絶縁膜として用いれば、同じトランジスタの駆動電流

$$I = \mu \epsilon_0 \epsilon_r / T_{ox} \times (W/L) \times V_{dd} \times V_{dd}$$

であるため、同じ駆動電流を得るのに、即ち酸化膜厚換算で同じ単位面積当たりのゲート容量を得るのに、実質のゲート絶縁膜厚を厚くすることができる。例えば、酸化膜厚換算  $T_{ef} = 1.5 \text{ nm}$  を実現するのに、 $TiO_2$  では膜厚

$$T = (80/4) \times 1.5 \text{ nm} = 30 \text{ nm}$$

と厚い膜で実現できる。

#### 【0014】

しかしながら、高誘電体膜でゲート絶縁膜を実現する場合も以下の問題点が存在する。これは、一般に比誘電率が大きな材料であればあるほど、絶縁膜のバンドギャップは小さな値をとり、結果として、ゲート電極-ゲート絶縁膜間、Si基板-ゲート絶縁膜間のバリアハイトが小さくなる。バリアハイトが小さいということは、電子がバリアハイトを超え絶縁膜中を流れやすい、即ちゲート絶縁膜リーク電流が多く流れるということである。

#### 【0015】

図35右下に、各絶縁膜材料における比誘電率と絶縁破壊を起こす電界との関係を示す。絶縁破壊の電界が比誘電率にほぼ反比例していることを示す。これは即ち、比誘電率が高い材料を用いて酸化膜換算で同じ厚み、即ち誘電率が大きい分だけ厚いゲート絶縁膜にして、ゲート絶縁膜に印加される電界を緩和しても、結局酸化膜と同等のゲート絶縁膜リーク電流が流れるのに等しいと言える。これでは、ゲート絶縁膜として高誘電率の材料を用いてゲートリーク電流を減らす効果があっても、あまり多くは期待できない。

#### 【0016】

#### 【発明が解決しようとする課題】

このように、ゲート絶縁膜に高誘電体材料を用いて酸化膜換算のゲート絶縁膜厚を薄くする場合でも、高誘電体材料のバンドギャップが小さいため絶縁耐圧の電界が低くなり、結果として、酸化膜以上に酸化膜厚換算のゲート絶縁膜厚を薄くするには困難が伴った。

#### 【0017】

以上まとめると、従来のゲート絶縁膜に酸化膜を利用したままでは、トランジ

スタをスケーリングして酸化膜を薄膜化すると、FN-トンネル電流、直接トンネル電流が指数関数的に増大し困難が伴う問題があったし、ゲート絶縁膜に高誘電体材料を用いて酸化膜厚換算のゲート絶縁膜厚を小さくする場合でも、高誘電体材料のバンドギャップが小さいため絶縁耐圧の電界が低くなり、結果として、酸化膜以上に酸化膜厚換算のゲート絶縁膜厚を小さくするのには困難が伴った。反対に、ゲートリーク電流を抑えるために、ゲート絶縁膜厚を厚いままトランジスタの他の部分をスケーリングしていくと、トランジスタの駆動能力向上の劣化、ショートチャネル効果増大、サブスレスホールド特性の劣化が著しくなる問題があった。

## 【0018】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、ゲート絶縁膜に比誘電率が20以上の高誘電率材料或いは強誘電体材料を用いたトランジスタにおいて、ゲート絶縁膜厚を薄くすること無くトランジスタのスケーリングを効果的に行うことができ、ゲートリーク電流を抑えつつ、トランジスタの駆動能力向上、ショートチャネル効果抑制、サブスレスホールド特性の向上等を可能にする半導体装置を提供することにある。

## 【0019】

また、本発明の他の目的は、従来のトランジスタと組み合わせることにより、より一層の高性能化をはかり得る半導体装置を提供することにある。

## 【0020】

## 【課題を解決するための手段】

## (構成)

上記課題を解決するために本発明は、次のような構成を採用している。

## 【0021】

即ち本発明は、半導体基板の表面層に形成された第1導電型のチャンネルと、このチャンネルの両側に形成された第2導電型のソース及びドレインと、前記チャンネルの上に直接又はバッファ絶縁膜を介して形成された第1の比誘電率を持つゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、少なくとも前記ゲート絶縁膜の側部に形成された第2の比誘電率を持つ側部絶縁膜とを備えた半導

体装置であって、第1の比誘電率は20以上で、かつ第2の比誘電率より大きく、前記チャネル、ソース、及びドレインを含む領域と前記ゲート絶縁膜が接する面積S1に対して、前記ゲート電極とゲート絶縁膜が接する面積S2の方を大きくしてなることを特徴とする。

【0022】

ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0023】

(1) 面積S1に対して面積S2は、1.5倍以上大きいこと。

【0024】

(2) ゲート絶縁膜は、チャネル側の幅に対してゲート電極側の幅の方が大きいテーパ断面形状を有すること。

【0025】

(3) ゲート絶縁膜における電束密度は、ゲート電極側が粗く、チャネル側が密であること。

【0026】

(4) ソースドレイン方向で見たゲート絶縁膜の断面形状は、上下逆向きの凸型、上下逆向きの台形型、又は上下逆向きの扇形であること。

【0027】

(5) 第1のゲート絶縁膜は、 $Ta_2O_5$ 、 $Sr_2Ta_2O_7$ 、 $TiO_2$ 、 $SrTiO_3$ 、 $BaTiO_3$ 、 $CaTiO_3$ 、 $Ba_x$ 、 $Sr_{1-x}TiO_3$ 、 $PbTiO_3$ 、 $PbZr_xTi_{1-x}O_3$ 、 $SrBi_2Ta_2O_9$ 、若しくは $SrBi_2(Ta_xNb_{1-x})_2O_9$ 、 $Bi_2(Ta_xNb_{1-x})O_6$ 等の組成又は元素を含む高誘電体膜、或いは強誘電体膜であること。

【0028】

(6) 側部絶縁膜は、 $SiO_2$ 、 $Si_3N_4$ 、NO、F添加 $SiO_2$ 、 $CH_3$ 基混入 $SiO_2$ 、TEOS、ポリミド、若しくはポラス $SiO_2$ 等の組成又は元素を含む低誘電体膜であること。

【0029】

(7) バッファ絶縁膜は、 $SiO_2$ 、 $Si_3N_4$ 、NO、 $TiO_2$ 、 $SrTiO$

3, MgO, 若しくはCeO<sub>2</sub> であること。

【0030】

(8) 半導体基板は、単結晶半導体基板上に絶縁層を介して半導体層を形成したSOI基板であること。

【0031】

また本発明は、半導体基板の表面層に形成された第1導電型の第1のチャンネルと、この第1のチャンネルの両側に形成された第2導電型の第1のソース及び第1のドレインと、第1のチャンネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された第1のゲート電極と、少なくとも第1のゲート絶縁膜の側部に形成された第2の比誘電率を持つ第1の側部絶縁膜とを備えた複数の第1のMOS型トランジスタと、前記基板の表面層に形成された第1導電型の第2のチャンネルと、この第2のチャンネルの両側に形成された第2導電型の第2のソース及び第2のドレインと、第2のチャンネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された第2のゲート電極と、少なくとも第2のゲート絶縁膜の側部に形成された第2の比誘電率を持つ第2の側部絶縁膜からなる複数の第2のMOS型トランジスタとを具備した半導体装置において、第1の比誘電率は20以上で、かつ第2の比誘電率より大きく、第1のゲート絶縁膜の底部面積をS1、上部面積をS2、第2のゲート絶縁膜の底部面積をS3、第2のゲート絶縁膜の上部面積をS4とすると、 $S2/S1 > S4/S3$ が成立するように設定したことを特徴とする。

【0032】

ここで、本発明における第1のゲート電極に印加される電圧は、第2のゲート電極に印加される電圧よりも低いことを特徴とする。また、先に記載した望ましい実施態様と同様の構成が適用できる。

【0033】

(作用)

従来のSiO<sub>2</sub>や、高誘電体膜、強誘電体膜を用いるゲート絶縁膜では、トラ

ンジスタの駆動能力を上げるにはゲート絶縁膜を薄膜化するしか方法がなかったが、これではゲートリーク電流が問題であった。

## 【0034】

本発明（請求項1～3）によれば、ゲート絶縁膜のゲート電極側に接する（面する）面積 $S_2$ に比べ、チャネル側に接する（面する）面積 $S_1$ が小さくなる。この結果、従来の $S_2 = S_1$ のトランジスタに比べ、 $S_2$ が $S_1$ よりも大きくなる。従って、ゲート電極に電圧を印加した場合、ゲート電極側の電荷により発生するゲート絶縁膜の電束は、ゲート絶縁膜の両側を取り巻く絶縁膜の誘電率がゲート絶縁膜より小さいため、あまりゲート絶縁膜の両側を取り巻く絶縁膜の方には向かわず、かつゲート絶縁膜の面積（即ちトランジスタのソースドレイン端子間方向で見ると長さ）がチャネル側では小さく（短く）なるため、上記電束がチャネル側に集中して、結果としてチャネル側では電束密度がゲート絶縁膜側に比べて大きくなる。

## 【0035】

これは言葉を変えると、従来に比べて本発明においては、上部チャネル長（ゲート電極とゲート絶縁膜が接する部分で定義）が長い分、同じ誘電率で同じゲート絶縁膜厚のゲート絶縁膜で、同じ下部チャネル長（ゲート絶縁膜とチャネル、ソース、ドレインを含む半導体基板とが接する部分で定義）の単位チャネル幅当りのトランジスタのゲート容量は大きくなる。結果として本発明によれば、ゲート絶縁膜一定でチャネル部に誘起されるチャネル電荷密度は従来に比べ大きな値になる。この効果により、ゲート絶縁膜厚を薄くすること無く、ゲートリーク電流を抑えつつ、トランジスタの駆動能力向上が実現できる。

## 【0036】

このように本発明では、見かけ上ゲート絶縁膜を薄くした場合と同じ効果が現れ、ショートチャネル効果抑制、サブスレスホールド特性の向上が実現できる。また、ソースドレイン方向で見たゲート電極のゲート幅が大きくなり、ゲート配線抵抗の低減が可能になる。また、チャネルーゲート電極方向で見ると、ゲート絶縁膜のゲート電極側へ向かうほど電束密度は低下する。このことは、ゲート電極材料として、ゲート電極全部或いはゲート絶縁膜界面に接する部分で $n^+$ ポ

りSi,  $p^+$ ポリSi等の半導体を用いた場合に発生する、ゲート電極側の空乏化に伴い発生する容量により、実質的なゲート絶縁膜容量が低減するのを抑制できる。

## 【0037】

これは簡単に言うと、チャネルーゲート電極方向でゲート絶縁膜を細分化した場合、各細分化したゲート絶縁膜の容量は、ゲート絶縁膜側へ向かうほど大きな値となる。即ち、従来のトランジスタに比べて本発明においては、この空乏層による容量が面積増大により大きくなり、見かけ上空乏層幅が縮小されるためである。

## 【0038】

本発明は、ソースドレイン電極方向とゲート電極ーチャネル方向での面で割ったゲート絶縁膜の断面の形状が、下部チャネル幅より上部チャネル幅が大きい台形の形状や、上部チャネルが丸みをもつ逆向きの扇形や、下部チャネル幅より上部チャネル幅が大きい逆向きの凸型で形成でき、これらを実現するには上部チャネル幅に比べてゲート絶縁膜の膜厚が大きいほど、或いは小さくても比較できるくらい大きいほど、容易に実現できる。これらを実現するには、比誘電率が20以上大きい高誘電体材料や強誘電体材料のゲート絶縁膜、即ち $Ta_2O_5$ ,  $Sr_2Ta_2O_7$ ,  $TiO_2$ ,  $SrTiO_3$ ,  $BaTiO_3$ ,  $CaTiO_3$ ,  $Ba_xSr_{1-x}TiO_3$ ,  $PbTiO_3$ ,  $PbZr_xTi_{1-x}O_3$ ,  $SrBi_2Ta_2O_9$ ,  $SrBi_2(Ta_xNb_{1-x})_2O_9$ , 若しくは $Bi_2(Ta_xNb_{1-x})O_6$ 等の組成又は元素を含む高誘電体膜、或いは強誘電体膜が望ましい。

## 【0039】

また、ゲート絶縁膜の電束がチャネルに向かい、ゲート絶縁膜を覆う絶縁膜側にあまり漏れないためには、比較的比誘電率の低い $SiO_2$ ,  $Si_3N_4$ ,  $NO$ , F添加 $SiO_2$ ,  $CH_3$ 基混入 $SiO_2$ ,  $TEOS$ , ポリミド, 若しくはポーラス $SiO_2$ 等の組成又は元素を含む絶縁膜でゲート絶縁膜の両側を覆うことが望ましい。さらに、ゲート絶縁膜とSiのチャネルは直接接続しても良いし、 $SiO_2$ ,  $Si_3N_4$ ,  $NO$ ,  $TiO_2$ ,  $SrTiO_3$ ,  $MgO$ , 若しくは $CeO_2$ 等のバッファ膜を挟んでも良い。

## 【0040】

また、従来例では、同じゲート電圧印加時では、ゲート絶縁膜厚 $=T$ に対しゲート絶縁膜厚 $=T/k$  ( $k=S$ ファクタ $>1$ ) の場合、ゲート絶縁膜全体の印加電界は $kE$ と $k$ 倍に増加して、トランジスタのチャネル表面電荷密度は $k$ 倍になるが、電界増加のためゲートリーク電流が激増する。

## 【0041】

これに対して本発明によれば、ゲート絶縁膜 $=T$ のまま（上部チャネル長）／（下部チャネル長） $=\beta$  ( $>1$ ) に設計することにより、チャネル側で電束密度が増加して、トランジスタのチャネル表面電荷密度を $k$ 倍にすることができ、膜厚一定のまま、トランジスタの駆動能力を上げることができる。このときの電界は、チャネル側では $kE$ になり、膜厚を $T/k$ にした場合と同じになるが、ゲート電界側に向かうほど電界は低下して、ゲート電極側では逆に $E k / \beta$  ( $k / \beta < 1$ ) となり、従来のゲート絶縁膜 $=T$ の場合に比べて電界が小さくなる。

## 【0042】

この結果は、次のように理解できる。即ち、本発明では確かにチャネル側からゲート絶縁膜側に電界 $kE$ で加速してバリアハイトを超え電子が流れ込むが、その後で電子は、ゲート絶縁膜中のトラップをホッピングしてゲート電極側に到達する。このホッピング伝導において本発明によれば、この部分の電界は小さな値をとるため、流れる電流が低減される訳である。

## 【0043】

また、本発明（請求項4，5）では、ゲート絶縁膜下限がゲートリーク電流に決まらない他の場合でも本発明が適用でき効果があることを示す。例えば、DRAMとロジック混載チップのケースでは、DRAMではメモリには電源電圧 $V_{dd}$ より高い $V_{pp}$ 電位が印加され、ゲート絶縁膜厚はこの $V_{pp}$ に耐えうる、即ちトランジスタの信頼性（トランジスタの劣化、ゲートリーク電流）を保つ厚いゲート絶縁膜が必要である。しかし、このトランジスタをそのまま $V_{dd}$ 電源を用いるDRAM周辺回路やロジック部で用いたのでは、ゲート絶縁膜が厚すぎて、トランジスタの駆動能力がロジック専用プロセスで製造したチップに比べ性能が劣り、高性能なDRAM-ロジック混載LSIが実現できない。



## 【0044】

本発明によれば、 $V_{dd}$ が印加されるDRAM周辺回路やロジック部のトランジスタとして、ゲート絶縁膜厚一定で、 $(\text{上部チャンネル長}) / (\text{下部チャンネル長}) = \beta (>1)$ のトランジスタを用いることにより、トランジスタの駆動能力を上げることができる。この場合、少なくとも、 $V_{pp}$ 印加のトランジスタのチャンネル側電界と同じだけ $V_{dd}$ 印加のトランジスタの電界が最大になるチャンネル側電界を上げることができる。この例は、 $V_{dd}$ 印加のトランジスタのゲートリーク電流で信頼性が律束されることが無い例である。

## 【0045】

## 【発明の実施の形態】

以下、図面を参照して、本発明の実施形態を説明する。

## 【0046】

## (第1の実施形態)

図1は、本発明の第1の実施形態に係わるMOSトランジスタの素子構造を模式的に示す断面図である。(a)は従来のトランジスタ構造であり、(b)は本実施形態のトランジスタ構造である。

## 【0047】

(a) (b) 共に、Si基板(ウェル)11上に高誘電体膜や強誘電体膜からなる高誘電体( $H i - \epsilon$ )材料のゲート絶縁膜14を形成し、その上にゲート電極15を形成している。ゲート絶縁膜14の両側のSi基板11中には、ソース12とドレイン13である拡散層が形成されている。ゲート絶縁膜14の両側には、図には示さないが $S i O_2$ 等の低誘電率( $L o - \epsilon$ )絶縁膜16が形成されている。ゲート電圧印加により、ゲート絶縁膜下のSi基板11とゲート絶縁膜14の界面のSi基板表面(チャンネル)には電荷が誘起され、ソース・ドレイン間に電流が流れて、トランジスタとして動作することになる。

## 【0048】

図1(a)に示す従来構造のように、ゲート絶縁膜14は、チャンネル、ソース、ドレインを形成するSi基板側に接する部分の面積(チャンネル長に相当)と、ゲート電極15に接する部分の面積が等しい。即ち、ゲート絶縁膜14の上部と

下部の長さが等しかった。それ故、ゲート電極15に電圧を印加した場合のゲート絶縁膜14中の電束密度は一定であり、これはゲート電圧印加時、ゲート電極側に誘起される電荷密度とチャネル側に誘起される電荷密度が等しいことを意味する。それ故、ゲート電圧( $V_g$ )一定のまま、トランジスタの駆動能力を上げるには、ゲートチャネルに誘起される電荷密度を増やす、即ちゲート絶縁膜14中の電束密度を上げることが必要である。

## 【0049】

しかし、ゲート絶縁膜14中の電荷密度が一定のため、ゲート電圧 $V_g = \epsilon E T$  (ここで、 $\epsilon$  = 誘電率、 $E$  = 電界、 $T$  はゲート絶縁膜厚) で表されるので、ゲート絶縁膜14を薄膜化するしか方法はなかった。これでは、ゲート絶縁膜14中の全体の電界が増加してゲートリーク電流が問題であった。

## 【0050】

これに対して図1(b)に示す実施形態構造においては、ゲート絶縁膜14のゲート電極側に接する部分の長さをチャネル側に接する長さより長い構造にし、即ちゲート絶縁膜14を上辺が下辺に比べて大きい台形の形にしている。立体的に言うと、ゲート絶縁膜14のゲート電極側に接する(面する)面積 $S_2$ を、チャネル側に接する(面する)面積 $S_1$ に比べ大きな値にしている。この結果、ゲート電極15に電圧を印加した場合、ゲート電極側の電荷により発生するゲート絶縁膜14の電束は、ゲート絶縁膜14の両側を取り巻く絶縁膜16の誘電率がゲート絶縁膜14より小さいため、あまりゲート絶縁膜14の両側を取り巻く絶縁膜16の方には向かわず、かつゲート絶縁膜14の $S_i$ 界面方向で切って見た場合の面積がゲート絶縁膜側からチャネル側に向かうほど小さくなるため、上記電束がチャネル側に向かうほど集中して、チャネル側では電束密度がゲート絶縁膜側より大きくなる。

## 【0051】

これは言葉を変えると、従来に比べて本実施形態においては、上部チャネル長(ゲート電極15とゲート絶縁膜14が接する部分で定義)が長い分、同じ誘電率で同じゲート絶縁膜厚のゲート絶縁膜14で、同じ下部チャネル長(ゲート絶縁膜14とチャネル、ソース、ドレインを含む $S_i$ 基板と接する部分で定義)の

単位チャネル幅当りのトランジスタのゲート容量は大きくなる。結果として本実施形態によれば、ゲート絶縁膜厚一定でチャネル部に誘起されるチャネル電荷密度は従来に比べ大きな値になる。この効果により、ゲート絶縁膜厚を薄くすること無く、ゲートリーク電流を抑えつつ、トランジスタの駆動能力向上が実現できる。

## 【0052】

このように本実施形態では、見かけ上ゲート絶縁膜14を薄くした場合と同じ効果が現れ、ショートチャネル効果の抑制、サブスレシホールド特性の向上が実現できる。また、ソースドレイン方向で見たゲート電極15のゲート幅が大きくなり、ゲート配線抵抗の低減が可能になる。また、チャネルーゲート電極方向で見ると、ゲート絶縁膜14のゲート電極側へ向かうほど電束密度は低下する。このことは、ゲート電極材料として、ゲート電極全部或いはゲート絶縁膜界面に接する部分で $n^+$ ポリSi、 $p^+$ ポリSi等の半導体を用いた場合に発生する、ゲート電極側の空乏化に伴い発生する容量により、実質的なゲート絶縁膜容量が低減するのを抑制できる。

## 【0053】

これは簡単に言うと、チャネルーゲート電極方向でゲート絶縁膜14を細分化した場合、各細分化したゲート絶縁膜14の容量は、ゲート絶縁膜側へ向かうほど大きな値となる。即ち、従来のトランジスタに比べて本実施形態においては、この空乏層による容量が面積増大により大きくなり、見かけ上空乏層幅が縮小されるためである。

## 【0054】

なお、本実施形態はゲート絶縁膜材料として、現状のLSIを実現している $SiO_2$ で実現することは不可能ではないが難しい。これは、例えばゲート酸化膜 $=5nm$ に対して下部チャネル長が $250nm$ の現状のトランジスタでは、縦横比があまりにも小さく、台形のゲート絶縁膜を形成するには無理があるからである。本実施形態は、将来的に $SiO_2$ 以外の比誘電率が20以上くらいの高誘電体ゲート絶縁膜材料が用いられた時、より有効となる。これは誘電率が大きいため、酸化膜厚換算で $SiO_2$ と等価なゲート絶縁膜厚は下部チャネル長と比較で

きる位十分厚く、或いはより厚くできるからであるし、ゲート絶縁膜からゲート絶縁膜の両側の低誘電率の絶縁膜への漏れ電束の割合を抑えることができるからである。

【0055】

例えば、下部チャネル長=50nm、酸化膜厚換算3nmのゲート絶縁膜を比誘電率80の $TiO_2$ で実現した場合、ゲート絶縁膜厚

$$T = 3\text{ nm} \times 80 \div 4 = 60\text{ nm}$$

とゲート絶縁膜の縦横比が1以上となり、容易に下部チャネル長より上部チャネル長が数倍大きいトランジスタが実現できる。比誘電率が20では、

$$T = 3\text{ nm} \times 20 \div 4 = 15\text{ nm}$$

と縦横比が0.3となり、その実現が極めて困難である。即ち、本実施形態のトランジスタが有意義な効果を上げる、或いは製造し易いのは、比誘電率が20以上の高誘電体材料や強誘電体材料であると言える。

【0056】

比誘電率が20以上大きい高誘電体材料、強誘電体材料としては、 $Ta_2O_5$ 、 $Sr_2Ta_2O_7$ 、 $TiO_2$ 、 $SrTiO_3$  (=STO)、 $BaTiO_3$ 、 $CaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$  (=BST)、 $PbTiO_3$ 、 $PbZr_xTi_{1-x}O_3$  (=PZT)、 $SrBi_2Ta_2O_9$  (=SBT)、 $SrBi_2(Ta_xNb_{1-x})_2O_9$ 、若しくは $Bi_2(Ta_xNb_{1-x})O_6$ 等の組成又は元素を含む高誘電体膜、或いは強誘電体膜があり、これらで構成したゲート絶縁膜が望ましいことが分かる。

【0057】

また、ゲート絶縁膜の電束がチャネルに向かい、ゲート絶縁膜を覆う絶縁膜側にあまり漏れないためには、比誘電率が20未満でできるだけ誘電率が低い材料が望ましく、比較的比誘電率の低い $SiO_2$ 、 $Si_3N_4$ 、NO、F添加 $SiO_2$ 、 $CH_3$ 基混入 $SiO_2$ 、TEOS、ポリミド、若しくはポーラス $SiO_2$ 等の組成又は元素を含む絶縁膜でゲート絶縁膜の両側を覆うことが望ましい。さらに、Si基板上に高誘電体材料や強誘電体材料を直接形成するのが最も望ましいが、格子定数の不整合問題や不純物のSiへの拡散を防止するため、上記ゲート

絶縁膜とSi基板との間に $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{NO}$ 、 $\text{TiO}_2$ 、 $\text{SrTiO}_3$ 、 $\text{MgO}$ 、若しくは $\text{CeO}_2$ 等のバッファ膜を挟んでも良い。

#### 【0058】

また、従来例では、同じゲート電圧印加時では、ゲート絶縁膜厚 $=T$ の場合に対してゲート絶縁膜厚 $=T/k$  ( $k$ :スケーリングファクタ $>1$ )の場合、ゲート絶縁膜全体の印加電界は $kE$ と $k$ 倍に増加して、トランジスタのチャネル表面電荷密度は $k$ 倍にはなるが、電界増加のためゲートリーク電流が激増する。これに対して本実施形態によれば、ゲート絶縁膜厚 $=T$ のままで、(上部チャネル長)/(下部チャネル長) $=\beta$  ( $>1$ )に設計することにより、チャネル側で電束密度が増加して、トランジスタのチャネル表面電荷密度を $k$ 倍にすることができ、膜厚一定のまま、トランジスタの駆動能力を上げることができる。

#### 【0059】

この時の電界は、チャネル側では $kE$ になり、膜厚を $T/k$ にした場合と同じになるが、ゲート電界側に向かうほど電界は低下し、ゲート電極側では逆に $E k/\beta$  ( $k/\beta < 1$ )となり、従来のゲート絶縁膜厚 $=T$ の場合に比べて電界が小さくなる。この結果は、次のように理解できる。即ち、本実施形態では確かにチャネル側からゲート絶縁膜側に電界 $kE$ で加速してバリアハイトを超え電子が流れ込むが、その後ゲート絶縁膜中のトラップをホッピングしてゲート電極側に到達する。このホッピング伝導において本実施形態によれば、この部分の電界は小さな値をとるため、流れる電流が低減される訳である。また、高電界である部分の厚みが短いため十分加速されず、ゲートリーク電流が低減できると言える。

#### 【0060】

#### (第2の実施形態)

図2は、本発明の第2の実施形態に係わるMOSトランジスタの素子構造を従来構造と共に模式的に示す断面図と、各種トランジスタ構造とチャネル電荷密度の関係を示す特性図である。図2上左は従来トランジスタ構造、図2上中央は第1の実施形態のようにゲート絶縁膜が上辺が低辺より長い台形トランジスタ構造、図2上右は本実施形態構造であり、上辺が扇形をしたトランジスタ構造となっている。図2においては、いずれのトランジスタもゲート絶縁膜厚は $T$ で一定に

した場合を示す。

【0061】

図2上中央に示す第1の実施形態のようにゲート絶縁膜が台形では、確かにゲート絶縁膜中の電束がゲート電極側からチャネル側に向かって集中するが、ゲート電極とチャネル間距離が、中心よりも端で長くなり、実質的なゲート絶縁膜厚がTより大きくなってしまい、チャネル電荷密度が最大化できない。これに対し、図2上右に示す本実施形態のように、上辺が扇形をして、ゲート電極-チャネル間距離が中心でも端でもTになるようにすることにより、効率良く電束が集中して、ゲート絶縁膜のチャネル付近の電束密度を最大化できる。

【0062】

この場合、上部チャネル長をLT、下部チャネル長をLB、ゲート絶縁膜の誘電率を $\epsilon$ 、ゲート電圧をVとし、ゲート絶縁膜の誘電率に比べゲート絶縁膜の両側の絶縁膜の誘電率が十分小さいとすると、ほぼ全ての電束がチャネル側に集中して、扇形（正確にはドーナツを中心からある角度で切った構造の）の上部弧長LTと下部弧長LBで計算した場合のチャネル側の電荷密度 $\sigma$ は図2中のような式で表される。

【0063】

LT/LB比と従来トランジスタを1とした時のチャネル電荷密度の関係を、図2下図中に示す。実線は、上記 $\sigma$ の理論式を表わし、白丸、黒丸、白四角、黒四角はデバイスシミュレータでトランジスタ構造を入力して計算した場合を示している。この図から、理論式とシミュレーション結果がほぼ一致していることが分かる。ここで、LB=50nmを仮定して、酸化膜厚換算で3nmと1.5nmの場合での、比誘電率80のTiO<sub>2</sub>と比誘電率300のBST膜での場合の、従来トランジスタと台形トランジスタと扇形のトランジスタを比較している。以後、上辺が下辺より長い台形を台形、ドーナツを中心からある角度で切った構造を扇形と略称することにする。

【0064】

この図から明らかに、扇形は理論値とほぼ一致しておりLT/LB比が大きいほどチャネル電荷密度が大きく、トランジスタの駆動能力が上がり、ショートチ

チャネル効果抑制、Sファクタの向上等が見込まれることが分かる。 $LT/LB > 3$ 以上でトランジスタのチャネル電荷密度は2倍以上になり、ゲート絶縁膜厚一定でゲートリーク電流を抑えつつ大幅な駆動能力の向上が実現できる。台形トランジスタにおいても、誘電率が大きいBST等の材料では、トランジスタのゲート絶縁膜の絶縁膜厚 $\div LB$ の値が大きく、第1に $LT/LB$ 比が大きいトランジスタを実現し易い。第2に $LT/LB$ 比一定では、ゲート電極-チャネル間距離がゲート電極の端でも中心部とそれほど長くないため、扇形との効果の差があまりなく、扇形の理論値に近づき効果が大きいことがこの図から読み取れる。

## 【0065】

図3は、本発明の効果を表わす $V_g = -3V$ 電圧印加時のnMOSトランジスタのデバイスシミュレータでシミュレーションした等電位線図を示す。図3(a)は従来トランジスタ、図3(b)(c)は本発明の台形トランジスタと扇形トランジスタを示す。従来トランジスタにおいては、等電位線図は下に向かって均等に広がり、チャネル側付近では、左右に電束が分散して等電位線間隔(=電界)が広がり、逆に電束密度が落ちている。

## 【0066】

これに対して第1の実施形態の台形トランジスタにおいては、等電位線と垂直な方向、即ち電束の方向は、ゲート電極下からチャネル側に向かうに従ってチャネルの中心の方向を向き、電束が集中していることが分かる。さらに、第2の実施形態の扇形トランジスタにおいては、ゲート電極下から直に電束方向がチャネル側の中心に向かい効率的に電束が集中して、チャネル側で電束密度がより高くなっていることが分かる。

## 【0067】

なお、比誘電率 $=80$ のゲート絶縁膜中に比べて、比誘電率 $=4$ のゲート絶縁膜の両側の絶縁膜中の電界が大きい、電束密度( $\epsilon \times E$ )で見ると、ゲート絶縁膜中が大きいと言える。また、ゲート絶縁膜の等電位線間が、側部の絶縁膜に比べて間隔が広いと言うことは、ゲート電位のゲート絶縁膜中での減衰が無くチャネル側付近までゲート電位が伝わり、ゲートの制御性が高い、即ちゲート駆動

能力が向上したと言える。 $V_g = -3\text{ V}$ 条件では、nMOSトランジスタのチャネルはアキュムレーション状態にあり、ゲート電極とチャネル(=基板)間の容量( $C_{gb}$ )が計算できる。この値を図3の右側に示す。従来に比べて、台形では1.67倍、扇形では1.83倍だけ、ゲート-基板容量が増加していることが確認できた。

## 【0068】

図4は、本発明の効果を表わす $V_g = 1$ 電圧印加時のnMOSトランジスタのデバイスシミュレータでシミュレーションした等電位線図を示す。図4(a)は従来トランジスタ、図4(b)(c)は本発明の台形トランジスタと扇形トランジスタを示す。この条件は、トランジスタがONしチャネルに反転層ができている状態を示す。この例でも、第1の実施形態の台形トランジスタや第2の実施形態の扇形トランジスタにおいては、電束の向きがチャネル側中央に向かい、電束集中が起こっていることが分かる。

## 【0069】

図5は、本発明の効果を表わす、実際のトランジスタの駆動電流の比較を示す図である。従来トランジスタと、本発明の $L_T/L_B = 3$ の台形トランジスタ、 $L_T/L_B = 3$ の扇形トランジスタの例を示している。酸化膜厚換算 $= 3\text{ nm}$ の比誘電率 $= 80$ の $\text{TiO}_2$ を用いたゲート絶縁膜の例であり、図3と図4の場合と同じである。

## 【0070】

図5(a)は $V_d = 0.01\text{ V}$ 三極管動作時の $V_{gs} - I_{ds}$ 特性、図5(b)は $V_d = 0.5\text{ V}$ 五極管動作時の $V_{gs} - I_{ds}$ 特性、図5(c)は $V_d = 0.01\text{ V}$ と $0.5\text{ V}$ 時のカットオフ特性を示す。図5(a)(b)から分かるように、明らかに本発明では、ゲート絶縁膜厚一定、チャネル長一定にも拘わらず、トランジスタの駆動電流が1.41倍~1.64倍と向上して、特に扇形がトランジスタの駆動電流が大きいことが分かる。

## 【0071】

また、図5(c)から分かるように、上記効果に加え、ゲート容量増大によりゲート電圧のチャネル電位制御性が増し、Sファクタが従来の $143\text{ mV/de}$



cから本発明の114mV/dcc(台形)、108mV/dcc(扇形)と大幅に低減し、カットオフ特性の向上が見られる。さらに、 $V_d = 0.01V$ から0.5Vに上げた時のしきい値電圧の低下量も大幅に低減され、大幅なDIBLの低減等、ショートチャネル効果の抑制ができていることが分かる。

# 【0072】

このショートチャネル効果の抑制は、逆に言うと、抑制された分チャネル長を縮小できることを意味する。ショートチャネル効果は、通常チャネル長が

$$L < 0.4 \{ X_j \times T_{ox} (W_s + W_d)^2 \}^{1/3}$$

だと顕著になり始める。よって見かけ上 $T_{ox}$ が低減した分、チャネル長 $L$ を小さくできる。図3の結果から $L_T/L_B = 3$ の時、 $T_{ox}$ が1/1.83に低減された場合と等価であるから、上のショートチャネルの式から、

$$\begin{aligned} L_{min}(at L_T/L_B=3) &= 0.4 \{ X_j \times (T_{ox}/1.83) (W_s + W_d)^2 \}^{1/3} \\ &= L_{min} \times 0.8 \end{aligned}$$

と、さらに2割だけチャネル長を低減できる。これは図5(b)の扇形の時、 $1.48/0.8 = 1.85$ 倍のトランジスタ駆動能力向上が実現できることを意味する。

# 【0073】

## (第3の実施形態)

図6は、本発明の第3の実施形態を説明するためのもので、BST膜を用いた場合の、実際のトランジスタの駆動電流の比較を示す図である。例えば、比誘電率=300のBST膜を用いた場合、酸化膜厚換算3nmのゲート絶縁膜は実効膜厚220nmとなり、 $L = 50nm$ 世代では縦横比 $= 220/50 = 4.4$ となる。この縦長の構造では、上記定義の下部チャネル長に比べて、上部チャネル長を大きくできる。

# 【0074】

図6の例は従来トランジスタ、本実施形態の $L_T/L_B = 5$ の台形、 $L_T/L_B = 5$ の扇形トランジスタの場合を示し、図6(a)は $V_d = 0.01V$ 三極管動作時の $V_{gs} - I_{ds}$ 特性、図6(b)は $V_d = 0.5V$ 五極管動作時の $V_{gs} - I_{ds}$ 特性、図6(c)は $V_d = 0.01V$ と0.5V時のカットオフ特性を示して

いる。図6 (a) (b) から分かるように、明らかに本実施形態では、ゲート絶縁膜厚一定、チャンネル長一定にも拘わらず、トランジスタの駆動電流が1.73倍～1.90倍と図5の例より向上して、特に扇形がトランジスタの駆動電流が大きいことが分かる。

## 【0075】

また、図6 (c) から分かるように、上記効果に加え本実施形態によれば、ゲート容量増大によりゲート電圧のチャンネル電位制御性が増し、Sファクタが従来の169 mV/d e cから本実施形態の130 mV/d e c (台形)、126 mV/d e c (扇形) と大幅に低減し、カットオフ特性の向上が見られる。さらに、 $V_d = 0.01$  Vから0.5 Vに上げた時のしきい値電圧の低下量も大幅に低減され、大幅なDIBLの低減等、ショートチャンネル効果の抑制ができていることが分かる。もちろんこのショートチャンネル効果の抑制は、抑制された分チャンネル長を縮小できることを意味する。

## 【0076】

図7は、本実施形態の効果を説明するためのもので、ゲート絶縁膜部分の電界強度を示す図である。従来トランジスタと台形、扇形トランジスタの各々に対する、 $V_g = -1$  V, 3 V時のチャンネル中央のゲート電極-チャンネル間の電界、とチャンネル端でのゲート電極-チャンネル間の電界を示している。(a-1) は $V_g = -3$  V, ゲート中央からの距離 $x = 0$  nm、(a-2) は $V_g = -3$  V,  $x = 20$  nm、(b-1) は $V_g = 1$  V,  $x = 0$  nm、(b-2) は $V_g = 1$  V,  $x = 20$  nmの場合である。

## 【0077】

従来トランジスタにおいては、ゲート電極からチャンネル側に向かって、電束の分散により電界が低下して駆動能力が落ちるが、本実施形態によれば、チャンネル側に向かうほど従来例より電界が強まり、ゲート電極側では逆に電界が弱まっている。従って本実施形態によれば、チャンネル端での電界の劣化は無く、逆に電界集中している。

## 【0078】

図8は、本実施形態の効果を説明するためのもので、ゲート絶縁膜とソース・

ドレイン間にオフセットを加えた場合の $V_g - I_{ds}$ 特性を示している。従来に比べて本実施形態では、オフセット変動によるしきい値変動が小さいことが分かる。これは、図7のゲート絶縁膜-ソース・ドレインが隣接している付近の電界が強いことに起因していると思われる。このように本実施形態によれば、オフセットバラツキ等の製造バラツキに対して安定なトランジスタ特性が得られることを意味している。

## 【0079】

## (第4の実施形態)

図9は、本発明の第4の実施形態に係わるMOSトランジスタの素子構造を示す平面図と断面図である。

## 【0080】

図9(a)は、トランジスタのソース・ドレイン間で切った断面図を示す。Si基板11上のソース12、チャネル、ドレイン13とソース・ドレインの両側に素子分離のSTI(Shallow Trench Isolation)21が形成され、ソース・ドレイン抵抗低減のために金属層24(Metal2)が貼り付けられ、チャネル上に薄い $SiO_2$ 等のバッファ膜22とその上に比誘電率が20以上のゲート絶縁膜14が逆凸型で形成されている。詳細に言うと、逆凸で、少しでもゲート容量を増加しつつ、ゲート-ソース・ドレイン間容量を減らすために、ゲート絶縁膜14の幅が狭くなるところは、斜めに細くしている。

## 【0081】

ゲート絶縁膜14の両側は、図には示さないが、誘電率が20以下のSiN等の側壁絶縁膜16、さらにその外側は $SiO_2$ 等の絶縁膜で覆われている。ゲート絶縁膜14上には、バリアメタル23を介してゲート電極15(Metal1)がゲート絶縁膜14に対してセルフアラインで形成されている。ソース・ドレインのMetal2は、金属層25(Metal3)を介して他の回路に接続されるようになっている。

## 【0082】

図9(b)は、本実施形態の平面図とチャネル幅方向の断面図を示す。高誘電率のゲート絶縁膜14( $H_i - \epsilon$ )は、図中の(1)に示すように、逆凸の下の方

い部分はトランジスタのチャネル部分の上にのみ形成し、上の広い部分はチャネル長、チャネル幅にオフセットを増やした部分で形成している。また、図中の(2)に示すように、上の広い部分はゲート電極15と同じに或いはセルフアラインに形成しても良い。図9(c)は、ゲート絶縁膜14の上の部分と下の部分を両方ともゲート配線に合わせて形成している。即ち、ゲート電極15のコンタクトの引き延ばし部分でも高誘電体材料のゲート絶縁膜14を引き延ばしている。この場合でも、引き延ばし部の下はSTIで形成すれば、ゲート電極15の寄生容量はそれほど増加しないことが分かる。なお、図中の27はソース・ドレインのコンタクトである。

## 【0083】

図10は、本実施形態の効果を説明するためのもので、従来例及び実施形態トランジスタのレイアウト図である。

## 【0084】

本実施形態において、ゲート絶縁膜として比誘電率 $\epsilon_r = 80$ の高誘電率材料を用いて $L_B = 50 \text{ nm}$ 、酸化膜換算絶縁膜厚 $3 \text{ nm}$ 、 $L_T / L_B = 3$ のトランジスタを実現した場合、前記図5に示すように、トランジスタの5極管の駆動能力は1.64倍になり、さらにショートチャネル効果抑制分 $L$ を細くすると駆動能力は1.85倍になる。図10(a)はチャネル幅 $W = 1$ の場合の従来トランジスタを示し、図10(b)はチャネル幅 $W = 1.8$ の場合の従来トランジスタを示し、図10(c)は、扇形、台形、逆凸形等の $L_T$ を大きくした場合のトランジスタを示している。

## 【0085】

本実施形態のトランジスタは、チャネル部分だけでなく、ソース12、ドレイン13、素子分離、ゲートコンタクト領域28を広くでき、図10(c)に示したように、ゲート駆動能力を上げるために $L_T$ を従来の3倍にしても、それほどレイアウト面積は増加しない、これに対して、図10(c)と同様な効果を上げるために、図10(b)に示すようにチャネル幅を1.8とすると、トランジスタ全体の面積は大きくなることとなる。また、この比較はチャネル幅が大きい場合、ゲートコンタクト領域28の割合が減ってさらに効果があることが分かる。

## 【0086】

## (第5の実施形態)

図11(a)～(p)は、本発明の第5の実施形態に係わるMOSトランジスタの素子構造を示す断面図である。

## 【0087】

図11(a)は、上辺が底辺より長い台形でゲート絶縁膜14を形成した場合を示し、第1の実施形態(図1(b))と等価であり、効果も第1の実施形態と同様である。図11(b)は、上記定義の扇形トランジスタであり、第2の実施形態(図2上右図)と等価であり、効果も第2の実施形態と同様である。図11(c)は、高誘電体ゲート絶縁膜14がゲート電極15の左右側面も覆った場合を示し、ゲート電極15の側面の表面に発生する電荷による電束がソース・ドレイン等の周辺にもれるのを防ぎ、ゲートチャネル側に向かわせることができ、チャネル側の電束密度を上げる効果と、ゲート・ソース・ドレイン間の寄生容量を減らす効果がある。図11(d)は(c)の考えをさらに延長し、ゲート電極15の上部も高誘電体ゲート絶縁膜14で覆ったものであり、ゲート電極15の上部から発生される電束も、かなり漏れるがチャネル側に向かわせることができる効果がある。

## 【0088】

図11(e)は逆凸形の高誘電体ゲート絶縁膜14の例、即ち面積の広い上部ゲート絶縁膜と面積の狭い下部ゲート絶縁膜を用いた例を示す。面積の広い上部ゲート絶縁膜厚に対する、面積の狭い下部ゲート絶縁膜厚の比を下げれば下げるほど、ゲート容量は増加する効果がある。図11(f)は、(c)と(e)を組み合わせた効果がある。図11(g)は高誘電体ゲート絶縁膜14の上部面積に比べて、ゲート電極15の面積が大きい(この断面積では長い)場合を示す。このように、高誘電体ゲート絶縁膜14の上部チャネル長とゲート電極15の長さは自由に変えることができるし、セルフアラインで同じ長さにしてもよい。図11(h)は、高誘電体ゲート絶縁膜14をじょうろ形で形成した場合を示す。

## 【0089】

図11(i)は、高誘電体ゲート絶縁膜14の上部は立方体、下部は幅をある傾きで狭くした台形の場合を示す。図11(j)は、(i)の変形で、高誘電体ゲート絶縁膜14の上部は立方体、下部は幅を徐々に丸みをもたせて狭くした場合を示す。図11(k)は、図9(a)と同様な構成を示す。図11(l)は、高誘電体ゲート絶縁膜14を量子的に何段階に分けてチャネル側に向かって、面積を減らす(長さを短くする)方法である。段々の回数は図では示さないが何回でも良い。

## 【0090】

図11(m)は、台形トランジスタより扇形トランジスタが効果があることを踏まえ、量子的にチャネル中央から端に向かうに従って、ゲート電極15の下部位置(即ち高誘電体ゲート絶縁膜14の上部位置)をSi側に近づけた場合を示す。これにより、チャネル端のゲート電極15とチャネルまでの距離が遠のくのを防ぎ、ゲート容量の増加の効率を上げている。(b)のような扇形は高誘電体ゲート絶縁膜14の上部の丸みを形成するのは割と難しいが、(m)のような方式により容易に実現できる。図11(n)は、Si界面と高誘電体ゲート絶縁膜間にバッファ膜22を形成した場合を示し、格子定数不整合や高誘電体材料のSiへの拡散を防ぐ効果がある。

## 【0091】

図11(o)は、高誘電体ゲート絶縁膜14とゲート電極15の間にバリアメタル23を形成した場合を示す。図11(p)は、ゲート絶縁膜側面の絶縁膜16の誘電率 $\epsilon_1$ より高誘電体ゲート絶縁膜14の上部材料の比誘電率 $\epsilon_2$ を大きく、さらに高誘電体ゲート絶縁膜14の上部材料の比誘電率 $\epsilon_2$ より、高誘電体ゲート絶縁膜14の下部材料の比誘電率 $\epsilon_3$ を大きくした場合を示す。面積が小さくなる下部での容量低下を誘電率を上げて補うことができる。

## 【0092】

以上、図11(a)～(p)に複数の例を示したが、これらは全て単独ばかりで無く、組み合わせて用いることは容易であるし、ゲート容量や寄生容量に変化はあるが、図1～図10までの効果は全て当てはまる。

## 【0093】

## (第6の実施形態)

図12(a)～(1)は、本発明の第6の実施形態に係わるMOSトランジスタの素子構造を示す断面図である。

## 【0094】

図12(a)は図11(e)に加え、ゲート電極15で高誘電体ゲート絶縁膜14の逆凸形の上部の面積が広い部分の側壁まで覆った場合を示す。ここで、ゲート電極最下の部分からチャンネル部までの距離をチャンネル中央の高誘電体ゲート絶縁膜厚より以上にしておけば、リーク増加の問題は防げる。図12(b)は、(a)を改良した場合を示し、高誘電体ゲート絶縁膜14の上部に丸みを持たせ、ゲート電極15とチャンネル間距離をできるだけ最小で一定に保ちゲート容量を最大化する効果がある。図12(c)は、図11(g)と同様で、但し左右のゲート電極15と高誘電体ゲート絶縁膜14と間のオフセット量が異なる。図12(d)は、図11(g)と逆で、ゲート電極15の長さを高誘電体ゲート絶縁膜14の上部長さより短くした例である。この場合でも従来に比べ容量増加の効果はある。

## 【0095】

図12(e)は、ソース12側の高誘電体ゲート絶縁膜14のはみ出し量をドレイン13側の高誘電体ゲート絶縁膜14のはみ出し量よりも大きくした場合である。図12(f)は、ソース12側は本発明のような高誘電体ゲート絶縁膜14のはみ出しを施し、ドレイン13側の高誘電体ゲート絶縁膜14は従来例のままにした場合を示す。

## 【0096】

通常、論理回路構成時、ゲート電圧を $V_{ss}$ から $V_{dd}$ に上げてトランジスタをONすると、ソース側は $V_{ss}$ のままであるがドレイン側は $V_{dd}$ から $V_{ss}$ に下がるため、ゲート電極－ドレイン間容量とゲート電極－ソース間容量が同じでも、ゲート電極－ドレイン間容量に印加される電圧変動が $-V_{dd}$ から $V_{dd}$ とゲート電極－ソース間容量に印加される電圧変動の2倍になり、実動作上問題がある。図12(e)(f)の実施形態はこの問題を鑑み、できるだけゲート容量を増やしつ

、実動作上見かけ上容量が大きいドレイン側への高誘電体ゲート絶縁膜 14 のはみ出しを減らし、或いは無くし、より高性能なトランジスタを実現している。

## 【0097】

図 12 (g) は、上記定義の扇形における高誘電体ゲート絶縁膜 14 の上部のゲート電極 15 と接する部分の傾きを徐々に何段階かで端に向かって大きくした場合を示しており、この構成により効果を最大限化できる。図 12 (h) は、高誘電体ゲート絶縁膜 14 のチャネルと接する部分も弧を持たし、完全なドーナツ型の高誘電体ゲート絶縁膜 14 を中心を通る線である角度で切った構造になっている。この構成では、チャネル部に印加される電界を均一にできる効果がある。

## 【0098】

図 12 (i) は、高誘電体ゲート絶縁膜 14 の下部チャネル長 (LB) をチャネルよりも短くした例である。図 12 (j) は、これとは逆に、高誘電体ゲート絶縁膜 14 の下部チャネル長 (LB) をチャネルよりも長くした例である。図 12 (k) は、本実施形態のトランジスタを SOI で形成した場合を示す。図 12 (l) は、本実施形態のトランジスタを、溝内にチャネルを形成するコンケイブ (concave) 形で形成した場合を示す。

## 【0099】

以上、図 12 (a) ~ (l) に複数の実施形態を示したが、これらは全て単独ばかりで無く、図 11 を含め組み合わせて用いることは容易であるし、ゲート容量や寄生容量に変化はあるが、図 1 ~ 図 10 までの効果は全て当てはまる。また、図 12 (k) (l) に示したように、従来の各種提案されているトランジスタと本実施形態の構造を組み合わせることは容易である。

## 【0100】

## (第 7 の実施形態)

図 13 (a) ~ (f) は、本発明の第 7 の実施形態に係わる MOS トランジスタの素子構造を示す断面図である。

## 【0101】

図 13 (a) は、高誘電体ゲート絶縁膜 14 として誘電率がソースドレイン



方向と、ゲート電極—チャンネル方向で異なる異方性のある材料を用いた場合を示す。ソース・ドレイン方向の誘電率  $\epsilon_2$  が、ゲート電極—チャンネルの誘電率  $\epsilon_1$  より大きくなる構造にすると、逆凸形の本実施形態のトランジスタにおいて、高誘電体ゲート絶縁膜 14 の面積の広い上部をソース・ドレイン側に長く延ばしても、ソース・ドレイン側の誘電率が大きいため、ゲート電極端とチャンネル間の酸化膜厚換算での距離を等方性材料に比べて短くできる。従って、高誘電体ゲート絶縁膜 14 の上部の長さを十分長くしても、実質の酸化膜厚換算距離は増えず、チャンネル部の電束密度を十分に高めることができ、ゲート容量をさらに増加できる。

## 【0102】

図 13 (b) は、高誘電体ゲート絶縁膜 14 を用いず、高誘電体ゲート絶縁膜 34 で本発明を実現した場合を示す。この場合、高誘電体ゲート絶縁膜を用いた場合と同様な効果は勿論のこと、記憶効果を持たせることができる。

## 【0103】

本発明で NAND, NOR 論理ゲートを実現するためには、本実施形態の上記トランジスタを並列、直列に接続すれば実現できるし、図 13 (c) の直列接続に示すように、高誘電体ゲート絶縁膜 14 を介して Gate 1, 2 を直列に接続することもできる。図 13 (c) の左図は、ソース・ドレイン方向の断面、右図はチャンネル幅方向の断面を示す。この構成により、トランジスタ間の拡散層を省略してトランジスタサイズを小さくできるメリットがある。この原理で、並列接続もできる。

## 【0104】

高誘電体ゲート絶縁膜 14 を用いるとさらに、図 13 (d) (e) (f) のような構成が実現できる。図 13 (d) は、ゲート絶縁膜 14 の比誘電率が非常に高い場合、ゲート絶縁膜 14 の縦横比が大きくなり、本発明のトランジスタ構造のゲート電極 15 の下に、他の配線 35 (Metal 1) を引き回した例を示す。図 13 (e) は、従来のトランジスタ構造でゲート電極 15 の下に、他の配線 35 (Metal 1) を引き回した例を示す。図 13 (f) は、ゲート絶縁膜 14 の比誘電率が、その周りの絶縁膜 16 に比べて非常に大きい場合、ゲート絶縁

膜 14 自身を配線であるかのように引き回した場合を示す。引き回しは、縦方向、横方向と自由自在である。

## 【0105】

以上、図 13 (a) ~ (f) に複数の実施形態を示したが、これらは全て単独ばかりで無く、図 11、図 12 を含め組み合わせて用いることは容易であるし、ゲート容量や寄生容量に変化はあるが、図 1 ~ 図 10 までの効果は全て当てはまる。

## 【0106】

図 14 は図 11、図 12 等で説明した実施形態における容量成分比較を示す図である。

## 【0107】

図 14 (a) は従来例、図 14 (b) ~ (f) は実施形態を示す。Cgb はゲートチャネル間容量、Cgs、Cgd はゲートソース間容量、ゲートドレイン間容量を示す。最小ゲート絶縁膜厚を一定にした場合、ゲート容量が最大になるのは (c) の扇形、(f) の丸みを持ったゲート電極カバー形であり、寄生容量を減らすことも考えると (c) の扇形がこの中では最も性能が良いことが分かる。

## 【0108】

図 15 は、本発明の効果を説明するためのもので、等電位線図を示している。図 15 (a) (b) (c) は、図 14 (d) (e) (f) の形状でゲート電圧に -3 V 印加時の等電位線図を示す。全てチャネル側での等電位線間距離が短くなり、電束集中が起こっていることが分かる。特に、図 15 (b) は高率良く電束集中が起こっているのが分かる。

## 【0109】

## (第 8 の実施形態)

図 16 は、本発明の第 8 の実施形態に係わる MOS トランジスタの素子構造を従来構造と共に模式的に示す断面図と、各種トランジスタ構造とチャネル電荷密度の関係を示す特性図である。

## 【0110】

図 1 ~ 図 15 の例では、ソースドレイン方向に上部チャネル長を下部チャネ

ル長より長く取って、電束集中を行う言わば2次元的なものであったが、図16においては、さらにチャネル幅方向も電束を集中させて、さらに本発明のゲート容量増加の効果を高めている。図16上左図は従来、図16上右図は本実施形態を示し、完全に球状で電束集中させた場合、理論的には、 $LT/LB$ の比だけチャネル部の電荷密度は増加し駆動能力が増加する。

#### 【0111】

図16上右図の左側はソースドレイン方向の断面、図16上右図の右側はチャネル幅方向の断面を示す。ソースドレイン方向を前記図12(h)のような構造とし、チャネル、高誘電体ゲート絶縁膜間の界面を弧をさらに急にする。通常は、ソース・ドレイン位置をSi中深く持ってくると、ソース・ドレイン間距離に対するチャネル中央の位置が上に来すぎるため、チャネルのコントロールを失いショートチャネル効果の増加が増すが、図16上右図の右側のようにチャネル幅方向はSi基板中に深く持ってきても、同じソース、同じドレイン間が近づくだけで問題ない。この例により、3次元で電束を集中されることもできるし、図16上右図の右側だけのチャネル幅方向だけで電束集中させることができる。

#### 【0112】

従来の3次元のトランジスタ構造はこれと一見似ているが、ゲート酸化膜等を用いているため、ゲート絶縁膜厚は薄く3次元化しても、チャネル長やチャネル幅は伸びるが、ゲート電極側とチャネル側と比べて電束密度はほぼ同じで、本実施形態のような電荷密度の増加は見られない。なお、図16の3次元化は、図11～図13の各種実施形態に適用できる。

#### 【0113】

図16下図は、2次元で電束集中させた場合と、3次元で電束集中させた場合の両方を示す。この図から、同じ $LT/LB$ 比では3次元の方が効果があるのが明らかである。

#### 【0114】

##### (第9の実施形態)

図17は、本発明の第9の実施形態に係わるMOS型半導体装置の素子構造を

示す平面図 (a) と断面図 (b) であり、特に CMOS 構造を示している。

#### 【0115】

本発明の原理は、nMOS トランジスタ、pMOS トランジスタの双方に適用でき、従って CMOS で構成した場合、その両方のトランジスタの高誘電体ゲート絶縁膜を逆台形に形成することにより、各々のトランジスタで前記した効果が得られる。

#### 【0116】

##### (第10の実施形態)

図18は、本発明の第10の実施形態に係わる半導体装置の素子構造を示す断面図である。従来トランジスタと本発明トランジスタを組み合わせた場合を示している。この例は、DRAMセルアレイの高いゲート電圧が必要なトランジスタとして、従来の高誘電体膜のゲート絶縁膜のトランジスタを用いて、周辺回路の低いゲート電圧が印加されるトランジスタとして本発明のトランジスタを用いた場合を示す。

#### 【0117】

通常、DRAMのセルトランジスタには、 $V_{dd}$ 以上（或いは内部降圧電位  $V_{int}$  以上）の高いワード線電圧 ( $V_{pp}$ ) を印加する必要がある、酸化膜厚換算のゲート絶縁膜厚は通常のロジック LSI より信頼性確保のため厚くする必要があった。このため、同じゲート絶縁膜で周辺回路のトランジスタを構成すると、トランジスタのゲート絶縁膜が厚く駆動能力がロジック単独プロセスに比べ劣る大きな問題点を抱えていた。これは、DRAM-ロジック混載チップで顕著で、DRAMのセルトランジスタ側でゲート絶縁膜厚が制限され、多数の素子があるロジック側の回路全体のトランジスタ性能が劣る問題があり、DRAM-MPUを混載した場合にMPU性能が劣り、全体の性能がなかなか上がらない問題点がある。また、セルトランジスタのゲートと周辺トランジスタのゲートを別々に2回作る方法もあるが、コスト増が大きく問題があった。

#### 【0118】

本実施形態ではこの問題を無くすため、高い電圧が印加される部分や高密度が要求されるDRAMのセルトランジスタの部分では、上下の面積比が等しい高誘

電体絶縁膜 14' を用い、電圧が低い ( $=V_{dd}$  或いは  $V_{dd}$  以下の内部降圧電位  $V_{int}$ ) トランジスタの部分では、上下の面積比の異なる高誘電体絶縁膜 14 を用いている。そして、ゲート絶縁膜が厚く駆動能力が劣化するところをゲート絶縁膜の電束集中により、ゲート絶縁膜を薄くした場合と同様の高性能なトランジスタを実現している。

## 【0119】

なお、図中の 11 鳩に基板、12 はソース、13 はドレイン、15 はゲート電極 (ワード線)、21 は STI、41 はビット線、42 はキャパシタ電極となるストレージノード、43 はキャパシタ絶縁膜、44 はプレート電極、45 はソース・ドレイン上に張り付けられた金属層を示している。

## 【0120】

本実施形態により、トランジスタを 2 度作りコストを上げること無く、DRAM の周辺回路や DRAM-ロジック混載のロジック部のトランジスタ性能を、ロジック単独プロセス並に向上させることができる。

## 【0121】

この図 18 の実施形態は、ゲート絶縁膜下限がゲートリーク電流に決まらない他の場合でも本発明が適用でき、効果があることを示す。この場合、少なくとも、 $V_{pp}$  印加のトランジスタのチャネル側電界と同じだけ  $V_{dd}$  (或いは  $V_{int}$ ) 印加のトランジスタのチャネル側電界を上げることができる。この例は、 $V_{dd}$  印加トランジスタのゲートリーク電流で信頼性が律束されることが無い例である。もちろん本発明の効果を上げ、図 18 の周辺回路のトランジスタのチャネル部の最大電界を、セルトランジスタの電界以上に上げ、ロジック部の性能を上げることもし得る。この例では、 $V_{pp}$  印加の例としてメモリセルトランジスタを用いたが、ワード線電圧発生回路等、他のコア、或いは周辺回路で、高電圧を印加する部分は従来のトランジスタを用いれば良い。

## 【0122】

## (第 11 の実施形態)

図 19 は、本発明の第 11 の実施形態に係わる半導体装置を示すブロック図 (a) と断面図 (b) であり、従来トランジスタと本発明トランジスタを組み合わせ

せた場合を示している。

【0123】

図18の例の他に、DRAMのI/O回路や、他のMPUに代表されるLSIチップ内部で、高電圧が印加される部分は従来形トランジスタを用い、低電圧で高速動作が要求される部分では本発明のトランジスタを用いればよい。図19の例では、Vddが印加されるI/O部や降圧回路部では従来トランジスタを、降圧電位しか印加されない内部回路は本発明のトランジスタを用いている。この例の他、電圧が複数あるところは従来と少なくとも1種類以上の本発明のトランジスタを用いることができる。

【0124】

(第12の実施形態)

図20は、本発明の第12の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

【0125】

まず、図20(a)に示すように、Si基板11内に素子形成領域を囲むように素子分離のためのSTI21を形成し、素子形成領域上にダミー酸化膜51を介してポリSi等からなるダミーゲート52を形成する。このダミーゲート52は、レジスト53をマスクに選択エッチングすることにより形成する。

【0126】

次いで、図20(b)に示すように、ダミーゲート52の側部にSiN等からなる側壁絶縁膜55を形成し、ダミーゲート52と共に側壁絶縁膜55をマスクにソース・ドレイン12、13の拡散層を形成する。続いて、ソース・ドレイン12、13にコンタクトする金属層56を形成する。

【0127】

次いで、図20(c)に示すように、全面に低誘電率絶縁膜16を堆積する。続いて、図20(d)に示すように、絶縁膜16に上部チャネル長の穴をダミーゲート52が露出する深さに開ける。その後、図20(e)に示すように、ダミーゲート52を取り除く。

## 【0128】

次いで、図20(f)に示すように、全面に $TiO_2$ 等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積させる。続いて、図20(g)に示すように、CMP或いは化学エッチングで、絶縁膜16が露出するまでゲート絶縁膜14を削る。

## 【0129】

次いで、図20(h)に示すように、ゲート絶縁膜14上にポリSi等からなるゲート電極15を堆積させ、図示しないマスクを用いてゲート電極15を所望パターンに加工する。これらの工程により、逆凸形のゲート絶縁膜を有するMOSトランジスタが実現できる。

## 【0130】

(第13の実施形態)

図21は、本発明の第13の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0131】

図21(a)～(e)までの工程は図20(a)～(e)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成する。続いて、低誘電率絶縁膜16を堆積し、この絶縁膜16に上部チャネル長の穴を開けた後、ダミーゲート52を取り除く。

## 【0132】

次いで、図21(f)に示すように、全面に $TiO_2$ 等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積する。続いて、ゲート絶縁膜14上にゲート電極15を堆積し、これを所望パターンに加工する。

## 【0133】

次いで、図21(g)に示すように、ゲート電極15をマスクに高誘電体ゲート絶縁膜14をエッチングする。或いは、マスクを用いて、ゲート電極15及び高誘電体ゲート絶縁膜14を同時にエッチングする。これら工程により逆凸形の

ゲート絶縁膜を有するMOSトランジスタが実現できる。

【0134】

(第14の実施形態)

図22は、本発明の第14の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

【0135】

図22(a)から(c)までの工程は図20(a)～(c)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成し、続いて低誘電率絶縁膜16を堆積する。

【0136】

次いで、図22(d)に示すように、低誘電率絶縁膜16に上部チャネル長の穴をCDE (Chemical Dry Etching) 等の等方性エッチングで開け、丸みを持った上部チャネル長部を形成する。その後、図22(e)に示すように、ダミーゲート52を取り除く。

【0137】

次いで、図22(f)に示すように、 $TiO_2$  等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積する。続いて、図22(g)に示すように、CMP或いは化学エッチングで、絶縁膜16が見えるまでゲート絶縁膜14を削る。

【0138】

次いで、図22(h)に示すように、ゲート電極15を堆積させ、図示しないマスクを用いてゲート電極15を所望パターンに加工する。これら工程により、じょうろ形のゲート絶縁膜を有すMOSトランジスタが実現できる。

【0139】

(第15の実施形態)

図23は、本発明の第15の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。



## 【0140】

図23(a)から(e)までの工程は図22(a)～(e)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成する。続いて、低誘電率絶縁膜16を堆積し、この絶縁膜16に上部チャネル長の穴を開けた後、ダミーゲート52を取り除く。

## 【0141】

次いで、図23(f)に示すように、全面に $TiO_2$ 等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積する。続いて、ゲート絶縁膜14上にゲート電極15を堆積し、これを所望パターンに加工する。

## 【0142】

次いで、図23(g)に示すように、ゲート電極15をマスクに高誘電体ゲート絶縁膜14をエッチングする。或いは、マスクを用いて、ゲート電極15及び高誘電体ゲート絶縁膜14を同時にエッチングする。これら工程により、じょう形のゲート絶縁膜を有するMOSトランジスタが実現できる。

## 【0143】

## (第16の実施形態)

図24は、本発明の第16の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0144】

図24(a)～(c)までの工程は、図20(a)～(c)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成し、続いて低誘電率絶縁膜16を堆積する。

## 【0145】

次いで、図24(d)に示すように、低誘電率絶縁膜16をダミーゲート52及び側壁絶縁膜55の上部が露出するまでエッチバックする。続いて、図24(

e) に示すように、ゲート側壁絶縁膜 55 と同じ SiN 等の材料からなるストッパ絶縁膜 57 を堆積する。その後、図 24 (f) に示すように、ストッパ絶縁膜 57 をダミーゲート 52 が露出するまで、CMP 等でエッチバックする。

## 【0146】

次いで、図 24 (g) に示すように、ダミーゲート 52 を取り除く。続いて、図 24 (h) に示すように、全面に低誘電率絶縁膜 66 を堆積する。その後、図 24 (i) に示すように、低誘電率絶縁膜 66 に上部チャネル長の穴を開ける。

## 【0147】

次いで、図 24 (j) に示すように、全面に  $TiO_2$  等の高誘電率ゲート絶縁膜 14 を CVD 等の方法で堆積する。続いて、図 24 (k) に示すように、CMP あるいは化学エッチング等で上部チャネル長が見えるまで、ゲート絶縁膜 14 を削る。その後、図 24 (l) に示すように、ゲート電極 15 を堆積させ、マスクを用いてゲート電極 15 を所望パターンに加工する。これら工程により、逆凸形のゲート絶縁膜を有する MOS トランジスタが実現できる。

## 【0148】

## (第 17 の実施形態)

図 25 は、本発明の第 17 の実施形態に係わる MOS トランジスタの製造工程を示す断面図である。

## 【0149】

図 25 (a) ~ (i) までの工程は図 24 (a) ~ (i) までの工程と同じであり、Si 基板 11 内に STI 21 を形成し、素子形成領域上にダミー酸化膜 51 を介してダミーゲート 52 を形成し、さらに側壁絶縁膜 55、ソース・ドレイン 12、13、及び金属層 56 を形成し、続いて低誘電率絶縁膜 16 を堆積する。そして、低誘電率絶縁膜 16 のエッチバック、ストッパ絶縁膜 57 の形成、エッチバック、ダミーゲート 52 の除去、低誘電率絶縁膜 16 の堆積、上部チャネル長の穴開けを行う。

## 【0150】

次いで、図 25 (j) に示すように、全面に  $TiO_2$  等の高誘電率ゲート絶縁

膜 14 を CVD 等の方法で堆積させ、その上にゲート電極 15 を堆積させる。続いて、図 25 (k) に示すように、マスクを用いてゲート電極 15 を所望パターンに加工する。その後、ゲート電極 15 をマスクに高誘電体ゲート絶縁膜 14 をエッチングする。或いは、マスクを用いて、ゲート電極 15 及び高誘電体ゲート絶縁膜 14 を同時にエッチングする。これら工程により逆凸形のゲート絶縁膜を有する MOS トランジスタが実現できる。

## 【0151】

(第 18 の実施形態)

図 26 は、本発明の第 18 の実施形態に係わる MOS トランジスタの製造工程を示す断面図である。

## 【0152】

図 26 (a) から (c) までの工程は図 20 (a) ~ (c) までの工程と同様であり、Si 基板 11 内に STI 21 を形成し、素子形成領域上にダミー酸化膜 51 を介してダミーゲート 52 を形成し、さらに側壁絶縁膜 55、ソース・ドレイン 12、13、及び金属層 56 を形成し、続いて低誘電率絶縁膜 16 を堆積する。

## 【0153】

次いで、図 26 (d) に示すように、低誘電率絶縁膜 16 をダミーゲート 52 が露出するまでエッチバックする。続いて、図 26 (e) に示すように、ダミーゲート 52 を取り除く。

## 【0154】

次いで、図 26 (f) に示すように、全面に  $TiO_2$  等の高誘電率ゲート絶縁膜 14 を CVD 等の方法で堆積する。続いて、図 26 (g) に示すように、高誘電率ゲート絶縁膜 14 を加工する。

## 【0155】

次いで、図 26 (h) に示すように、全面に低誘電率絶縁膜 16 を堆積する。続いて、図 26 (i) に示すように、ゲート絶縁膜 14 が露出するまで絶縁膜 16 をエッチバックする。その後、図 26 (j) に示すように、ゲート電極 15 を堆積させ、マスクを用いてゲート電極 15 を所望パターンに加工する。これらの

工程により逆凸形のゲート絶縁膜を有するMOSトランジスタが実現できる。

【0156】

(第19の実施形態)

図27は、本発明の第19の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

【0157】

図27(a)～(f)までの工程は図26(a)～(f)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成し、続いて低誘電率絶縁膜16を堆積する。そして、低誘電率絶縁膜16をエッチバックし、露出したダミーゲート52を取り除いた後、高誘電率ゲート絶縁膜14を堆積する。

【0158】

次いで、図27(g)に示すように、ゲート絶縁膜14上にゲート電極15を堆積し、マスクを用いてゲート電極15を所望パターンに加工する。続いて、図27(h)に示すように、ゲート電極15をマスクに高誘電体ゲート絶縁膜14をエッチングする。これらの工程により逆凸形のゲート絶縁膜を有するMOSトランジスタが実現できる。

【0159】

(第20の実施形態)

図28は、本発明の第20の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

【0160】

図28(a)～(e)までの工程は図26(a)～(e)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成し、続いて低誘電率絶縁膜16を堆積する。そして、低誘電率絶縁膜16をエッチバックし、露出したダミーゲート52を取り除く。

## 【0161】

次いで、図28(f)に示すように、全面に $TiO_2$ 等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積する。続いて、図28(g)に示すように、チャネル中央にストッパ膜或いはレジスト63を形成する。その後、ストッパ膜或いはレジスト63をマスクに、高誘電率ゲート絶縁膜14を逆テーパエッチングする。

## 【0162】

次いで、図28(h)に示すように、再び低誘電率絶縁膜を堆積させる。続いて、図28(i)に示すように、高誘電率ゲート絶縁膜14が露出するまで低誘電率絶縁膜をエッチバックする。その後、図28(j)に示すように、ゲート電極15を堆積させ、マスクを用いてゲート電極15を所望パターンに加工する。これらの工程によりじょうろ形のゲート絶縁膜を有するMOSトランジスタが実現できる。

## 【0163】

## (第21の実施形態)

図29は、本発明の第21の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0164】

図29(a)～(e)までの工程は図26(a)～(e)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成し、続いて低誘電率絶縁膜16を堆積する。そして、低誘電率絶縁膜16をエッチバックし、露出したダミーゲート52を取り除く。

## 【0165】

次いで、図29(f)に示すように、全面に $TiO_2$ 等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積する。続いて、チャネル中央にゲート電極15を形成し、所望パターンに加工する。

## 【0166】

次いで、図29(g)に示すように、ゲート電極15をマスクに高誘電率ゲート絶縁膜14を逆テーパエッチングする。続いて、図29(h)に示すように、再び低誘電率絶縁膜66を堆積させる。これらの工程により、じょうろ形のゲート絶縁膜を有するMOSトランジスタが実現できる。また、上記じょうろ形は下部チャネル長の厚みを小さくすると、限りなく台形トランジスタと成りうる。

## 【0167】

## (第22の実施形態)

図30は、本発明の第22の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0168】

図30(a)～(b)までの工程は図20(a)～(b)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成する。

## 【0169】

次いで、図30(c)に示すように、全面に低誘電率絶縁膜16を堆積し、その上にチャネル上に溝を有するマスク68を形成する。続いて、図31(d)に示すように、マスク68を用いてダミーゲート52が露出するまで、低誘電率絶縁膜16を等方性エッチングする。その後、図30(e)に示すように、ダミーゲート52を取り除く。

## 【0170】

次いで、図30(f)に示すように、全面に $TiO_2$ 等の高誘電率ゲート絶縁膜14をCVD等の方法で堆積させ、さらにチャネル上にマスクを用いて残しパターン69を形成する。続いて、図30(g)に示すように、残しパターン69をマスクに絶縁膜14をエッチングすることにより、扇形の弧を形成する。その後、図30(h)に示すように、ゲート電極15を形成し、所望パターンに加工する。これらの工程により、扇形のゲート絶縁膜を有するMOSトランジスタが実現できる。

## 【0171】

## (第23の実施形態)

図31は、本発明の第23の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0172】

図31(a)～(e)までの工程は図20(a)～(e)までの工程と同じであり、Si基板11内にSTI21を形成し、素子形成領域上にダミー酸化膜51を介してダミーゲート52を形成し、さらに側壁絶縁膜55、ソース・ドレイン12、13、及び金属層56を形成する。続いて、低誘電率絶縁膜16を堆積し、この絶縁膜16に上部チャネル長の穴を開けた後、ダミーゲート52を取り除く。なお、本実施形態では低誘電率絶縁膜16を第12の実施形態の場合よりも厚く形成しておく。

## 【0173】

次いで、図31(f)に示すように、チャネル上の穴に高誘電率ゲート絶縁膜14をCVD等の方法で堆積する。続いて、図31(g)に示すように、穴にゲート電極材料を堆積させ、CMP等で表面を削る。これらの工程により、逆凸形のゲート絶縁膜を有するMOSトランジスタが実現できる。

## 【0174】

## (第24の実施形態)

図32は、本発明の第24の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0175】

まず、図32(a)に示すように、Si基板11内に素子形成領域を囲むように素子分離のためのSTI21を形成し、素子形成領域にチャネル部を含めたソース・ドレインの拡散層71を形成する。そして、素子形成領域上にダミー酸化膜51を形成する。

## 【0176】

次いで、図32(b)に示すように、全面に低誘電率絶縁膜16を堆積し、その後、チャネル上に抜きのマスク68を形成する。続いて、図32(c)に示す

ように、マスク68を用いてテーパをつけて低誘電率絶縁膜16をエッチングし、さらにチャンネルに形成された拡散層71があるSi部もエッチングする。チャンネル部の拡散層71の除去により、ソース12及びドレイン13が形成される。

## 【0177】

次いで、図32(d)に示すように、高誘電率ゲート絶縁膜14をCVDやスパッタ等の方法で堆積する。続いて、図32(e)に示すように、ゲート電極材料を形成し、マスクで電極加工を行う。その後、図32(f)に示すように、ゲート電極15をマスクに、或いはゲート電極15上のレジストをマスクに、高誘電体のゲート絶縁膜14を加工する。これらの工程により台形のゲート絶縁膜を有するMOSトランジスタが実現できる。

## 【0178】

(第25の実施形態)

図33は、本発明の第25の実施形態に係わるMOSトランジスタの製造工程を示す断面図である。

## 【0179】

図33(a)～(c)までの工程は図32(a)～(c)までの工程と同じであり、Si基板11のSTI21で囲まれた素子形成領域にチャンネル部を含めたソース・ドレインの拡散層を形成し、素子形成領域上にダミー酸化膜51を形成する。そして、低誘電率絶縁膜16を堆積し、テーパを付けてこれをエッチングし、さらにSi部もエッチングする。

## 【0180】

次いで、図33(d)に示すように、低誘電率絶縁膜16のテーパ溝を埋め込むようにダミーゲート52を形成する。必要ならエッチバックを行う。次いで、図33(e)に示すように、低誘電率絶縁膜16をエッチングする。このとき、低誘電率絶縁膜16の側壁の残しを行い、さらにソース・ドレイン上に金属膜56の貼り付けを行う。その後、図33(f)に示すように、再び低誘電率絶縁膜66を堆積させる。



【0181】

次いで、図33 (g) に示すように、ダミーゲート52を取り除く。続いて、図33 (h) に示すように、高誘電率ゲート絶縁膜14を埋め込み形成し、ゲート電極15を形成し、図示しないマスクを用いて電極加工を行う。その後、図33 (i) に示すように、ゲート電極15をマスクに或いはゲート電極15上のレジストをマスクに、高誘電体のゲート絶縁膜14を加工する。これらの工程により、台形のゲート絶縁膜を有するMOSトランジスタが実現できる。

【0182】

なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが出来る。

【0183】

【発明の効果】

以上詳述したように本発明によれば、ゲート絶縁膜厚を薄くすること無く、ゲートリーク電流を抑えつつ、トランジスタの駆動能力向上、ショートチャネル効果抑制、サブスレスホールド特性の向上、ゲート配線抵抗の低減、ゲート電極側の空乏化による実効ゲート絶縁膜厚の増加の抑制、等が実現できる。また、従来のトランジスタと本発明のトランジスタを組み合わせることにより、高性能の混載LSI等が実現できる。

【図面の簡単な説明】

【図1】

第1の実施形態に係わるMOSトランジスタの構造を模式的に示す断面図。

【図2】

第2の実施形態に係わるMOSトランジスタの構造とチャネル電荷密度の関係を示す図。

【図3】

$V_g = -3$  電圧印加時のnMOSトランジスタの等電位線図。

【図4】

$V_g = 1$  電圧印加時のnMOSトランジスタの等電位線図。

【図5】

実際のトランジスタの駆動電流の比較を示す図。

【図6】

第3の実施形態に係わるMOSトランジスタを説明するためのもので、BST膜を用いた場合の実際のトランジスタの駆動電流の比較を示す図。

【図7】

ゲート絶縁膜部分の電界強度を示す図。

【図8】

ゲート絶縁膜とソース・ドレイン間にオフセットを加えた場合の $V_g - I_{ds}$ 特性を示す図。

【図9】

第4の実施形態に係わるMOSトランジスタの素子構造を示す平面図と断面図。

【図10】

トランジスタのレイアウト配置を示す図。

【図11】

第5の実施形態に係わるMOSトランジスタの素子構造を示す断面図。

【図12】

第6の実施形態に係わるMOSトランジスタの素子構造を示す断面図。

【図13】

第7の実施形態に係わるMOSトランジスタの素子構造を示す断面図。

【図14】

図11、12で説明したトランジスタ構造における容量成分比較を示す図。

【図15】

本発明の効果を説明するための等電位線図。

【図16】

第8の実施形態に係わるMOSトランジスタの素子構造とチャネル電荷密度の関係を示す図。

【図 17】

第 9 の実施形態に係わる半導体装置の素子構造を示す平面図と断面図。

【図 18】

第 10 の実施形態に係わる半導体装置の素子構造を示す断面図。

【図 19】

第 11 の実施形態に係わる半導体装置を示すブロック図と素子構造断面図。

【図 20】

第 12 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 21】

第 13 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 22】

第 14 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 23】

第 15 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 24】

第 16 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 25】

第 17 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 26】

第 18 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 27】

第 19 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 28】

第 20 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 29】

第 21 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 30】

第 22 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 3 1】

第 2 3 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 3 2】

第 2 4 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 3 3】

第 2 5 の実施形態に係わる MOS トランジスタの製造工程を示す断面図。

【図 3 4】

従来のゲート絶縁膜として酸化膜を用いたトランジスタを示す図。

【図 3 5】

従来のゲート絶縁膜として高誘電体材料を用いたトランジスタを示す図。

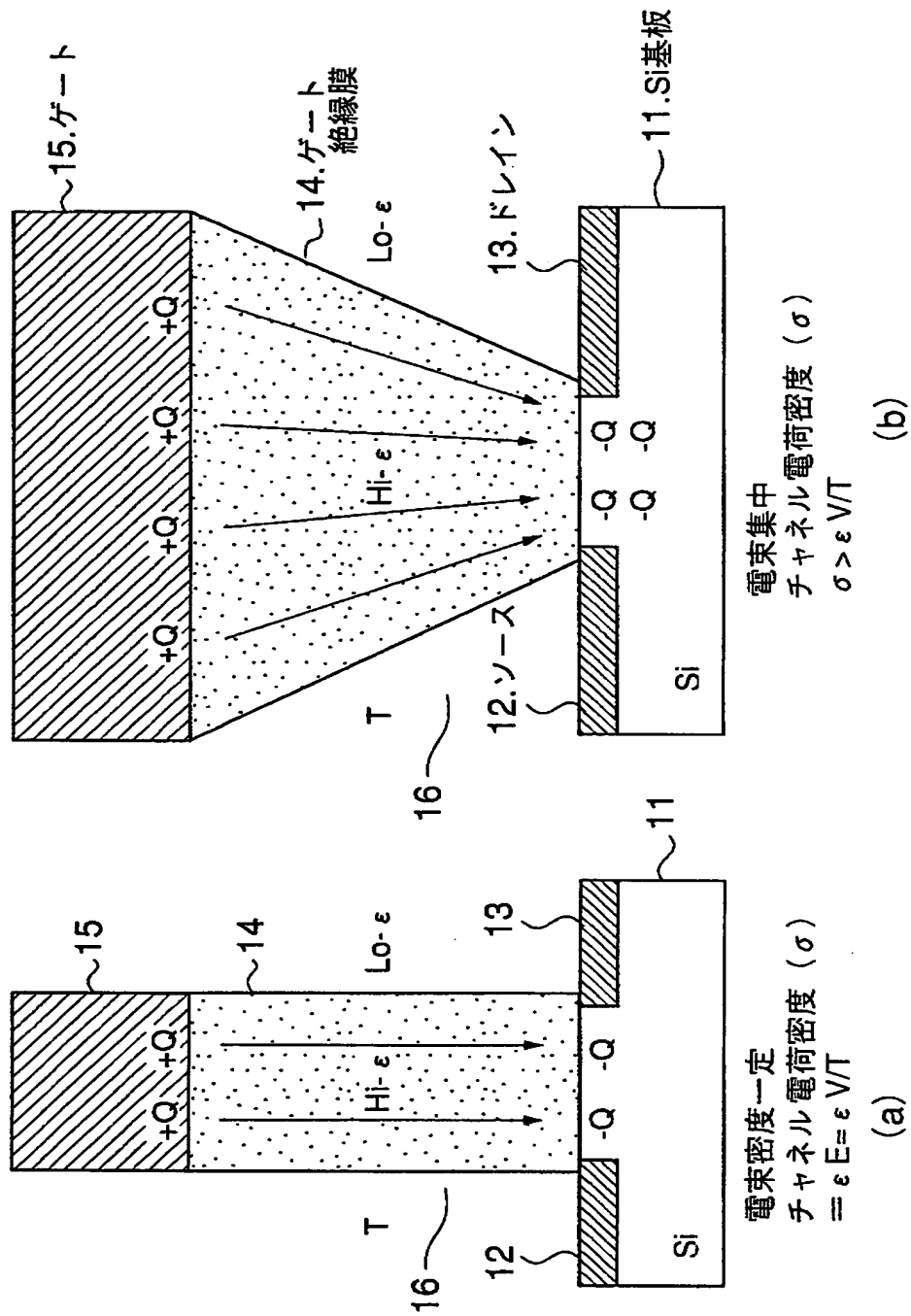
【符号の説明】

- 1 1 … Si 基板
- 1 2 … ソース
- 1 3 … ドレイン
- 1 4 … 高誘電率ゲート絶縁膜 ( $H i - \epsilon$ )
- 1 5 … ゲート電極
- 1 6 … 低誘電率絶縁膜 ( $L o - \epsilon$ )
- 2 1 … STI
- 2 2 … バッファ絶縁膜
- 2 3 … バリアメタル

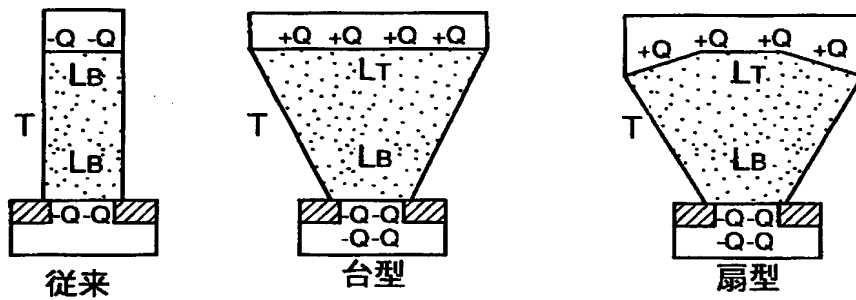
【書類名】

図面

【図 1】

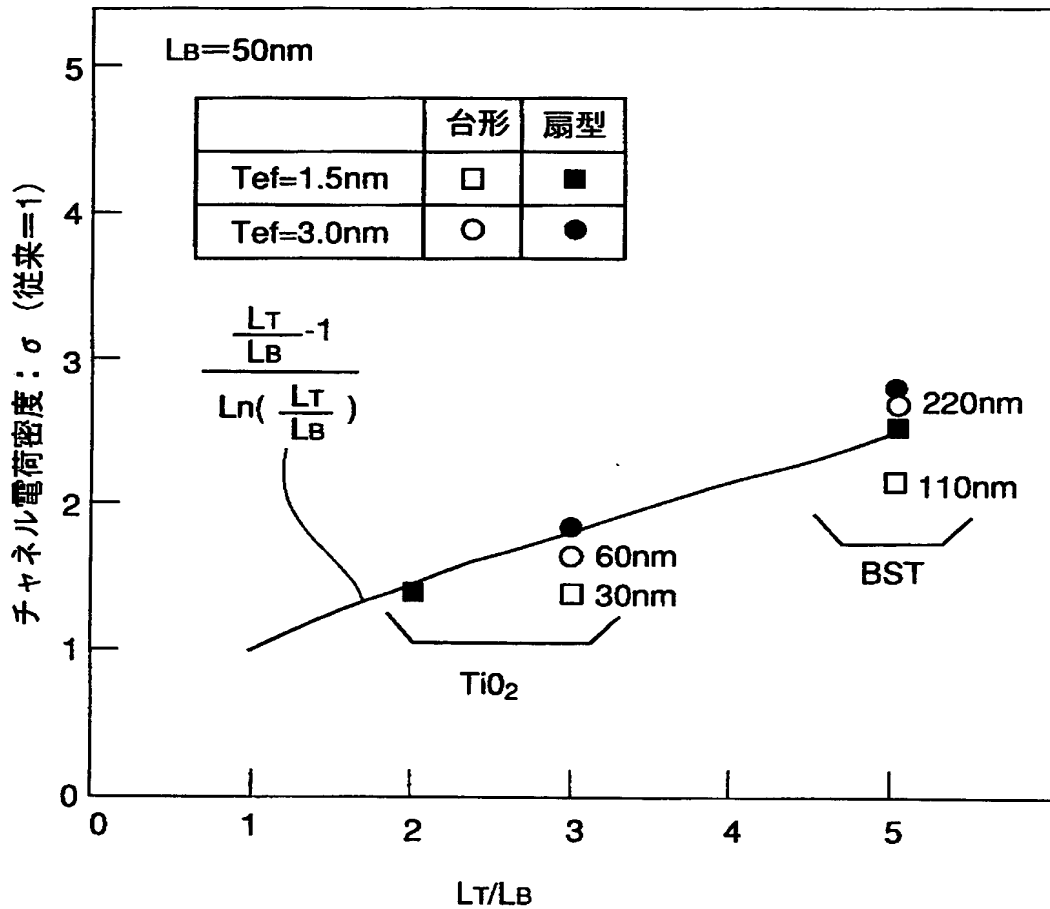


【図2】

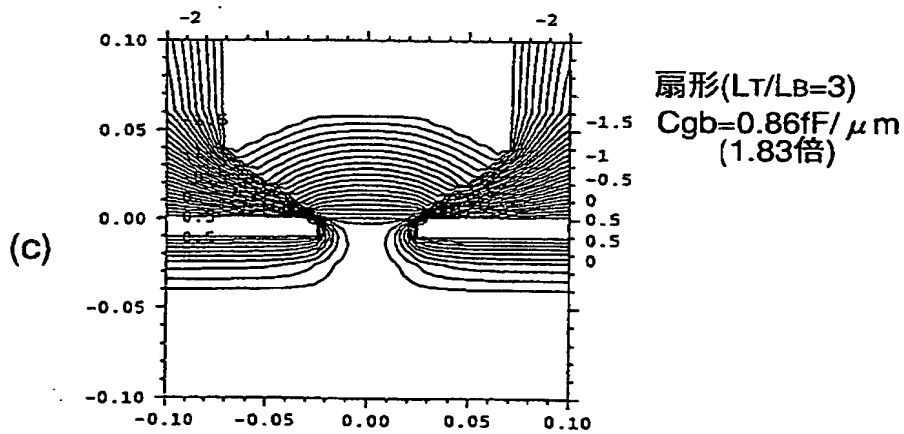
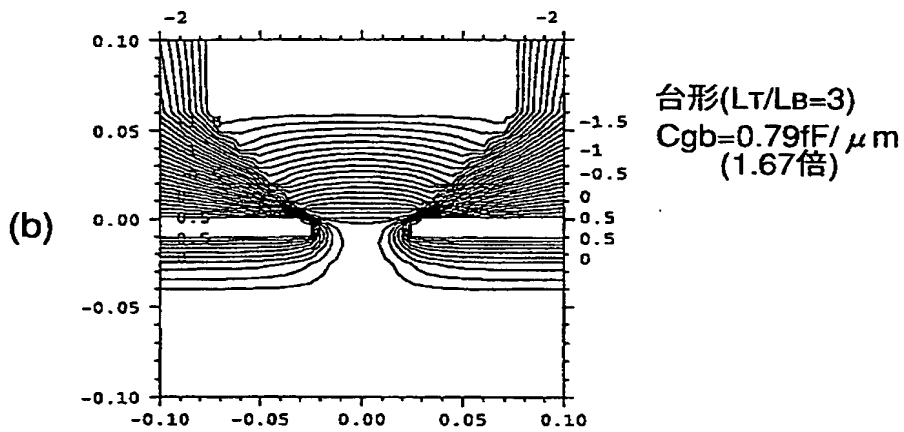
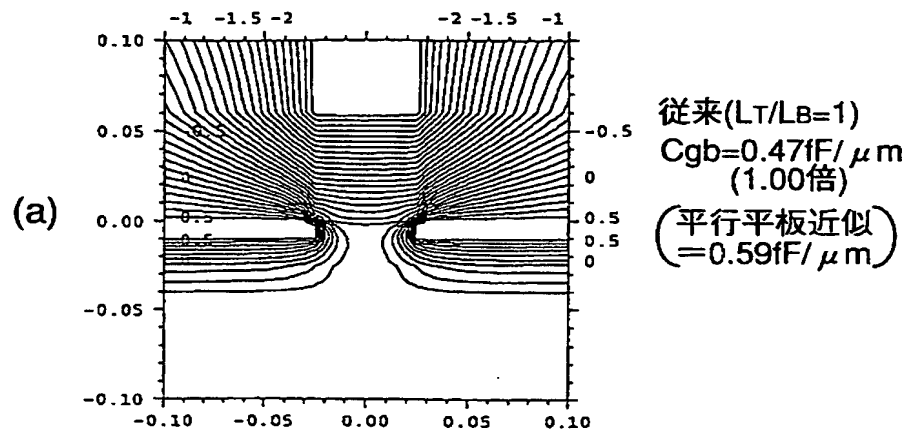


チャネル  
電荷密度  $\sigma = \epsilon \frac{V}{T}$

$$\sigma = \epsilon \frac{V}{T} \left( \frac{\frac{L_T}{L_B} - 1}{\ln\left(\frac{L_T}{L_B}\right)} \right)$$

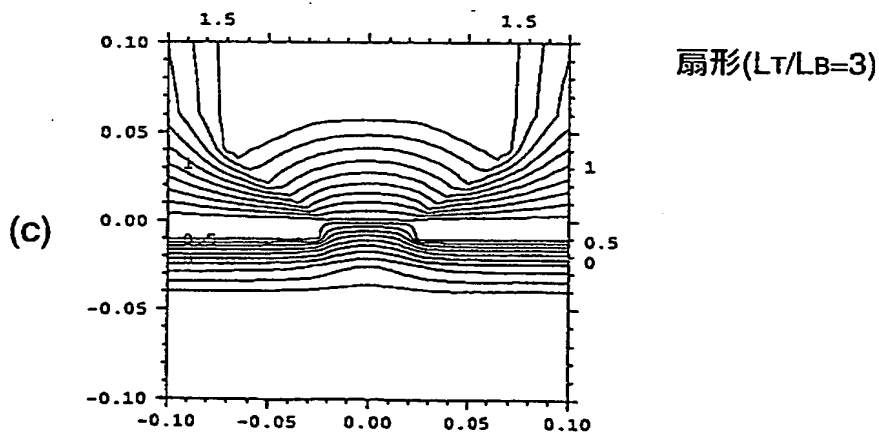
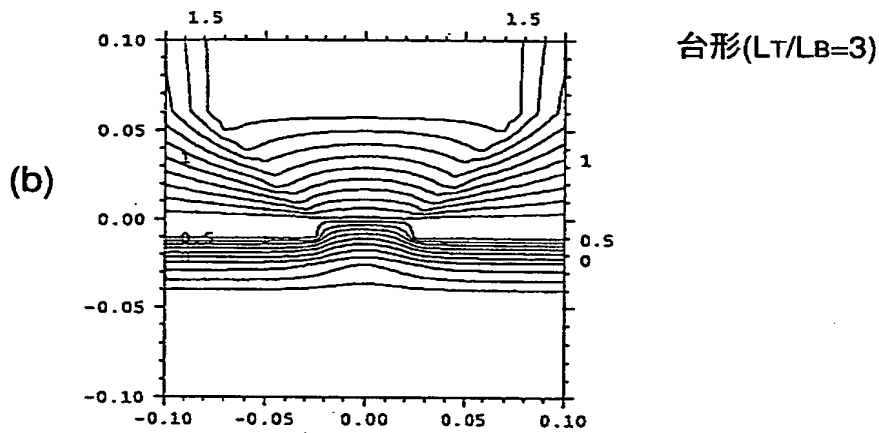
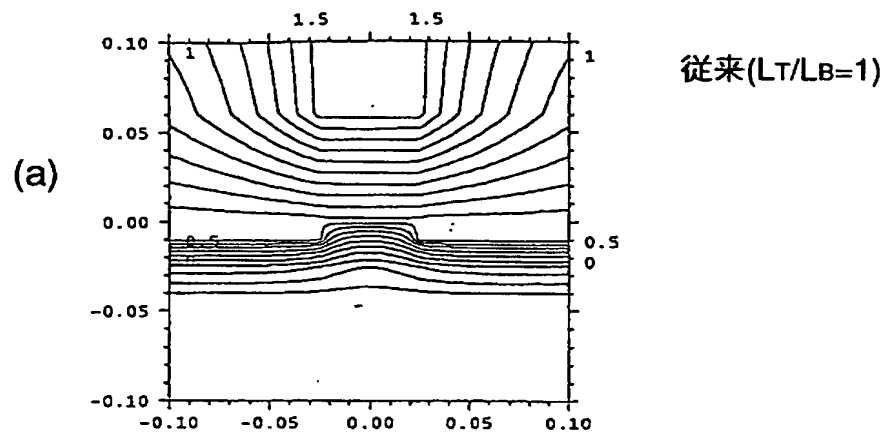


【図 3】



等電位線図( $V_g=-3\text{V}$ ) $V_d=V_s=V_b=0\text{V}$ , 0.1V/div  
 ( $T=60\text{nm}$ , ( $T_{\text{ef}}=3\text{nm}$ ),  $L_B=50\text{nm}$ ,  $\epsilon_r=80(\text{TiO}_2)$ )

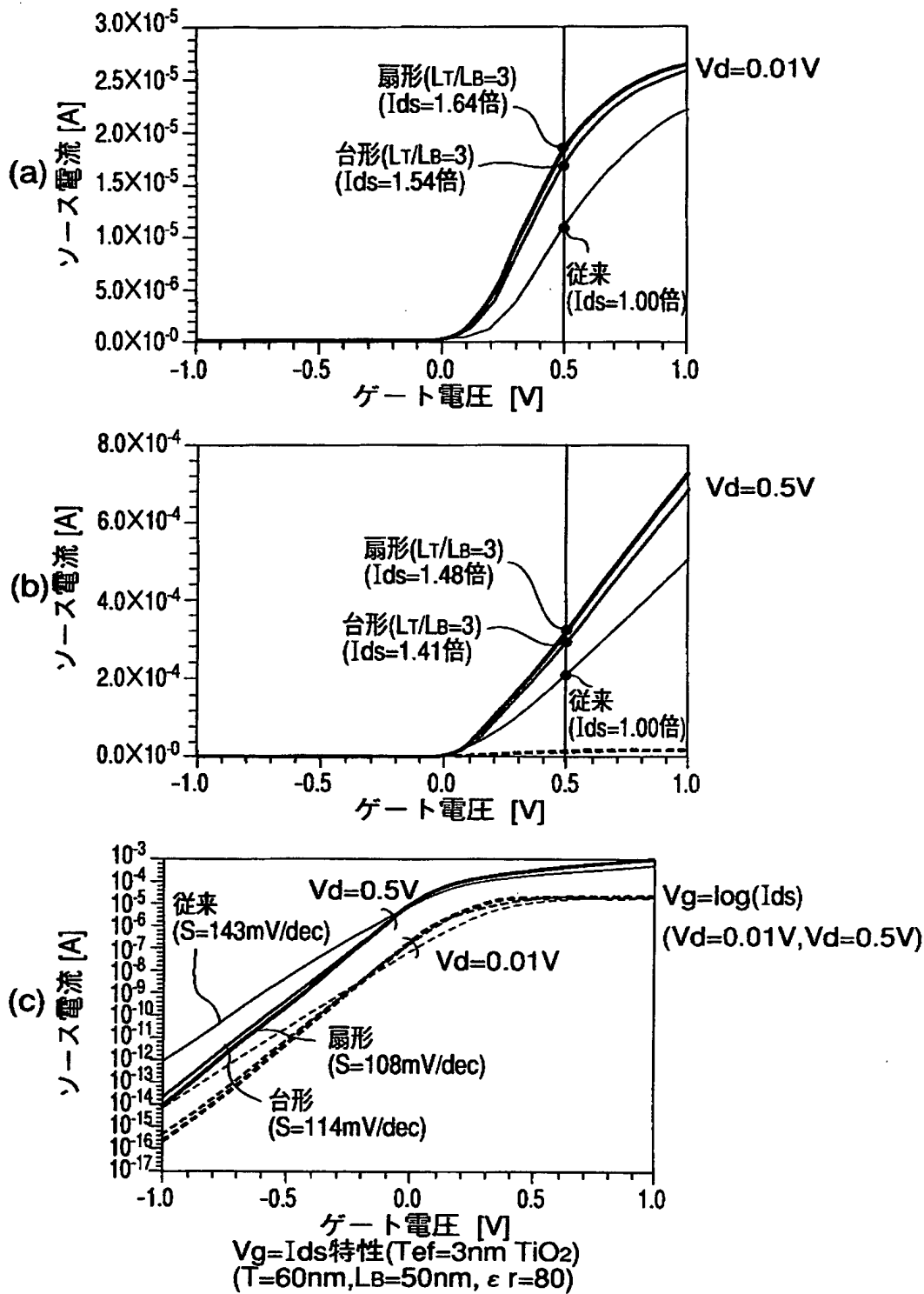
【図 4】



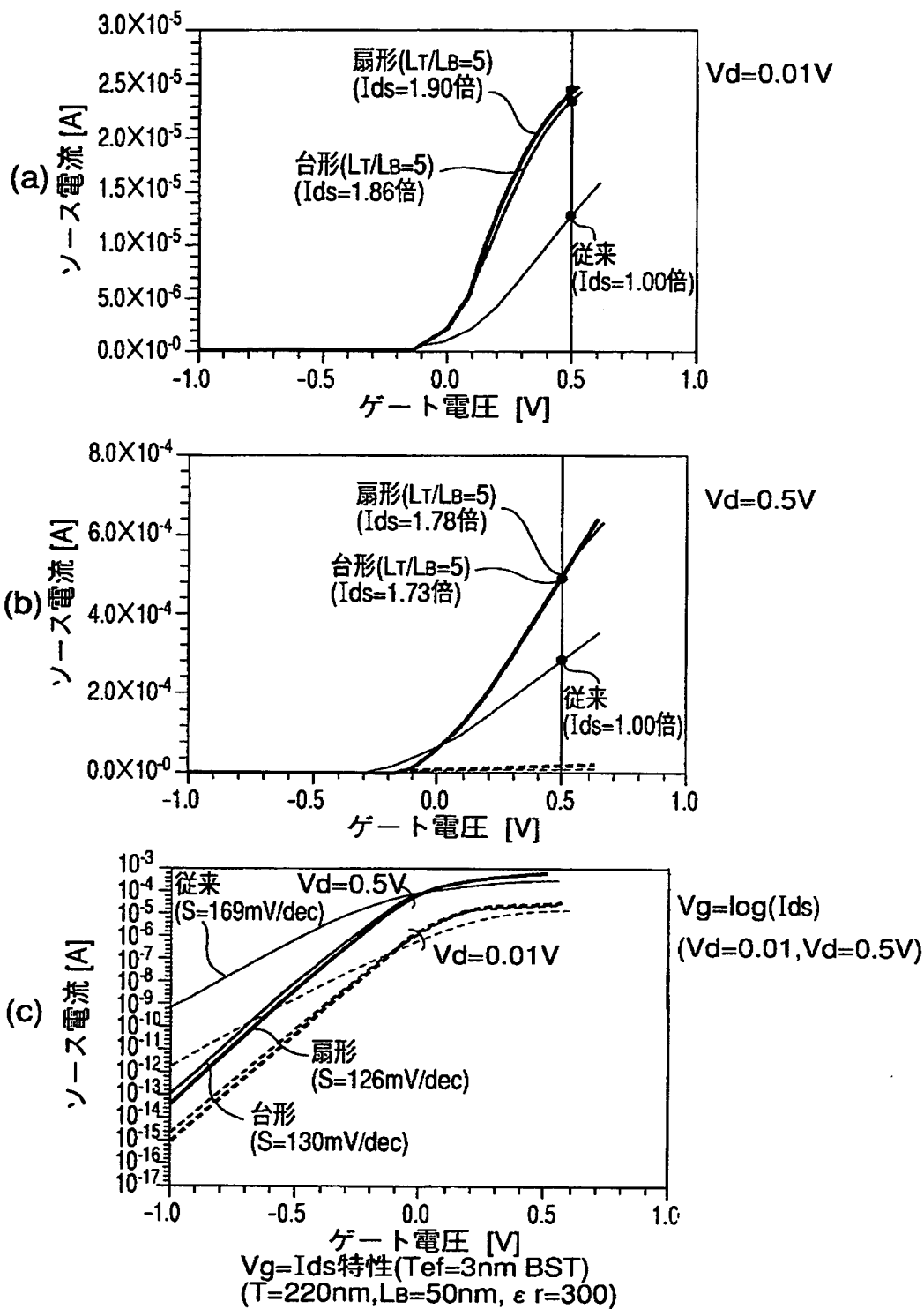
等電位線図( $V_g=1V$ ) $V_d=V_s=V_b=0V$ ,  $0.1V/div$   
 ( $T=60nm$ , ( $T_{ef}=3nm$ ),  $L_B=50nm$ ,  $\epsilon_r=80(TiO_2)$ )



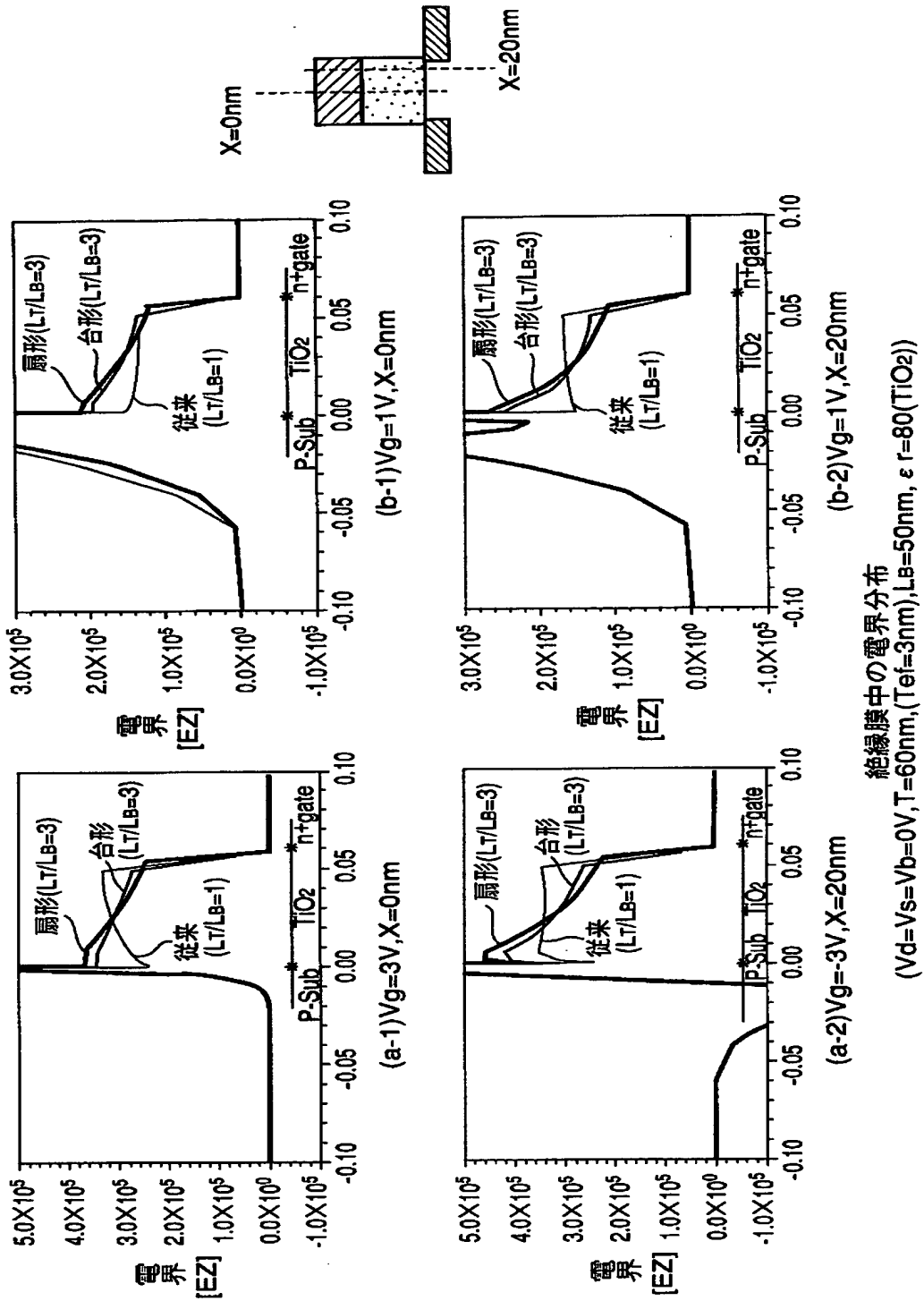
【図 5】



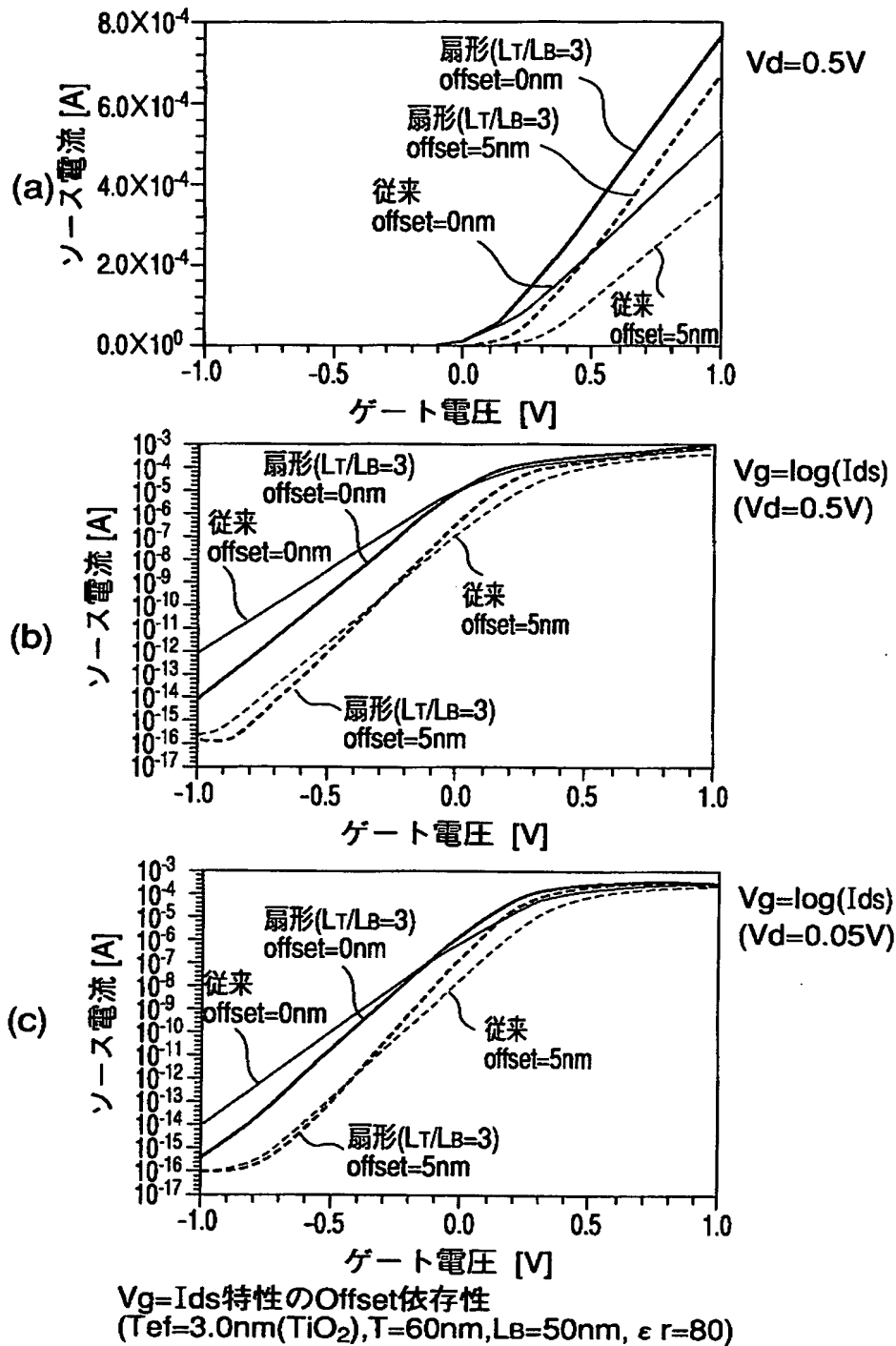
【図 6】



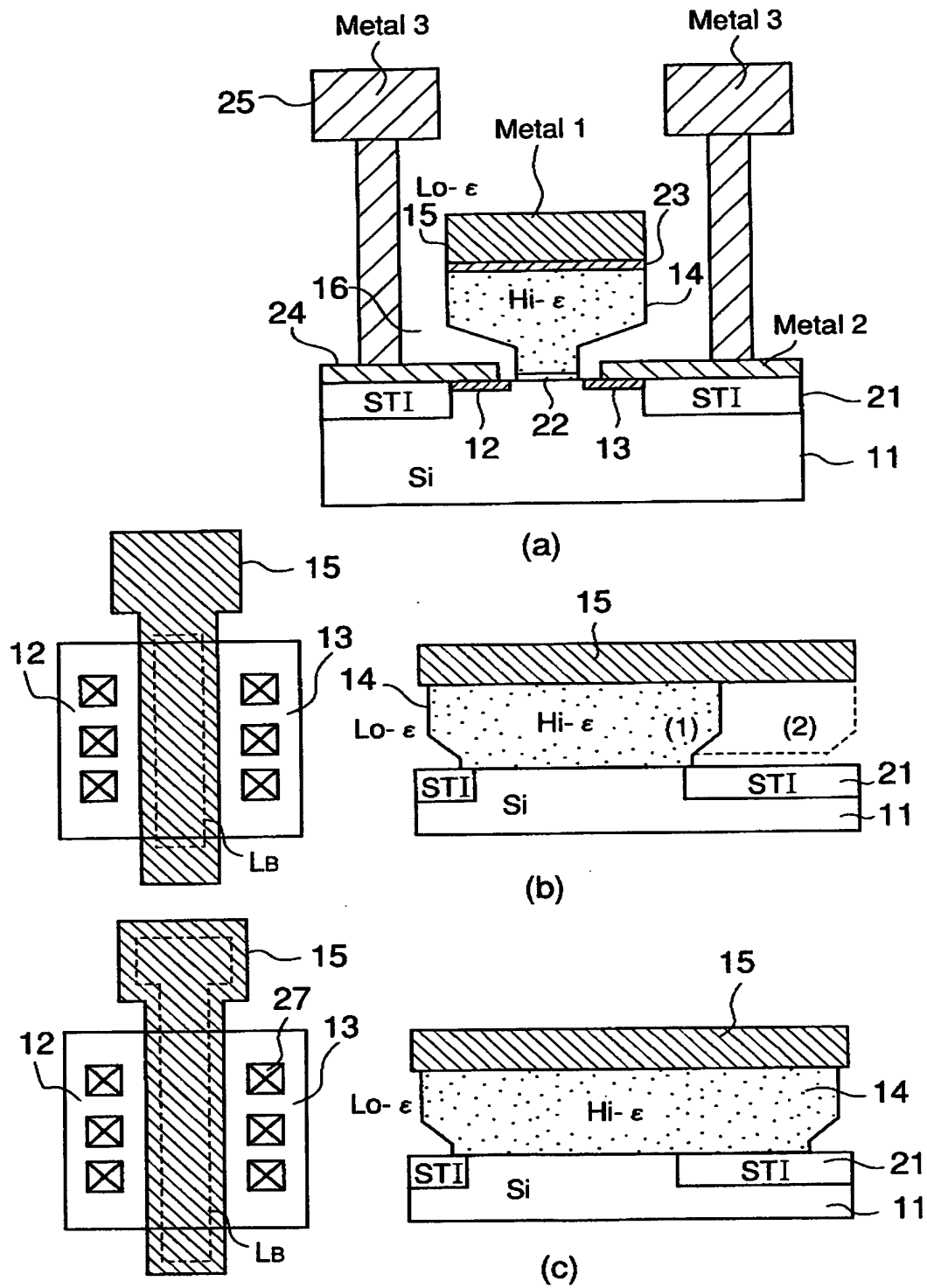
【図 7】



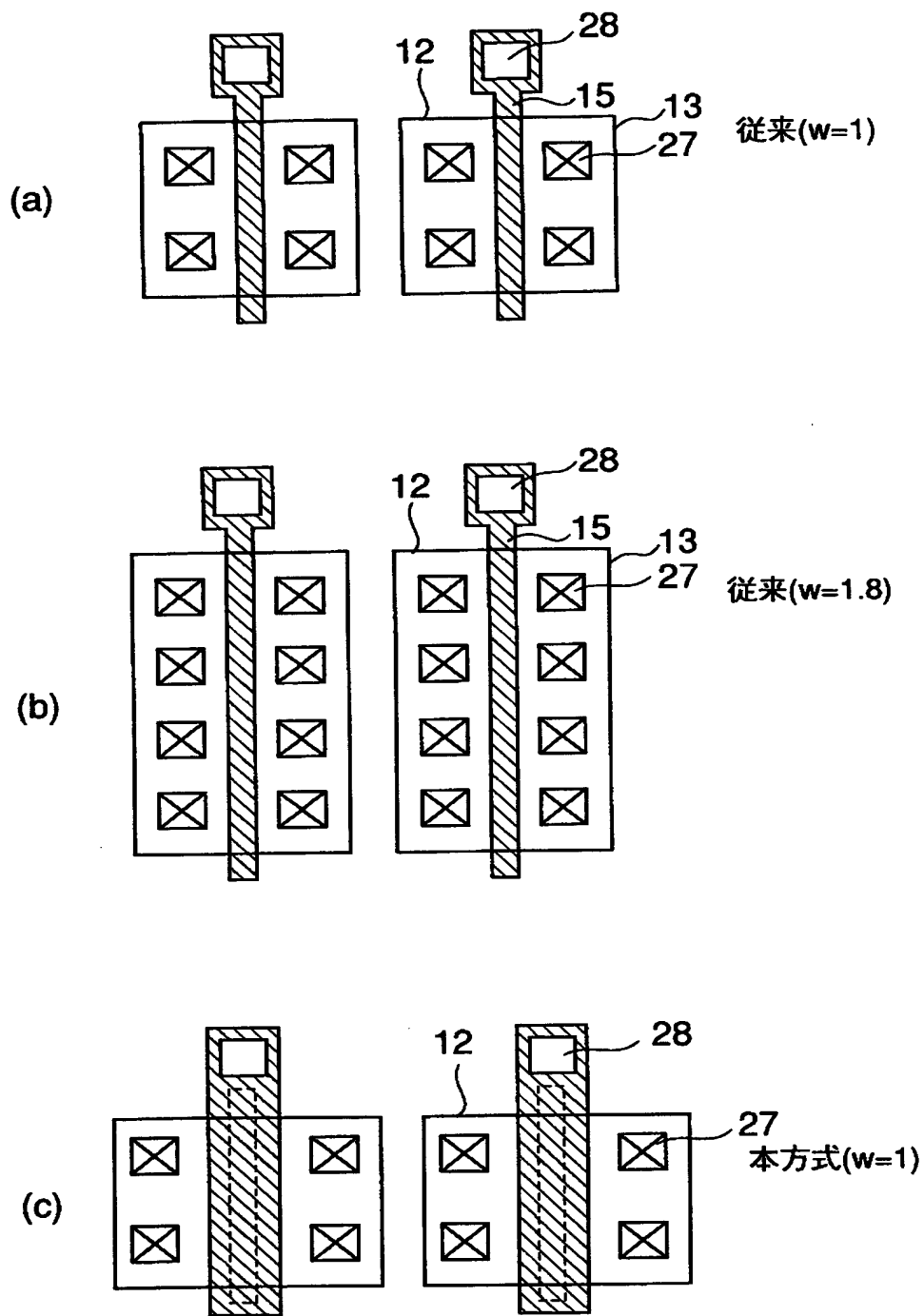
【図 8】



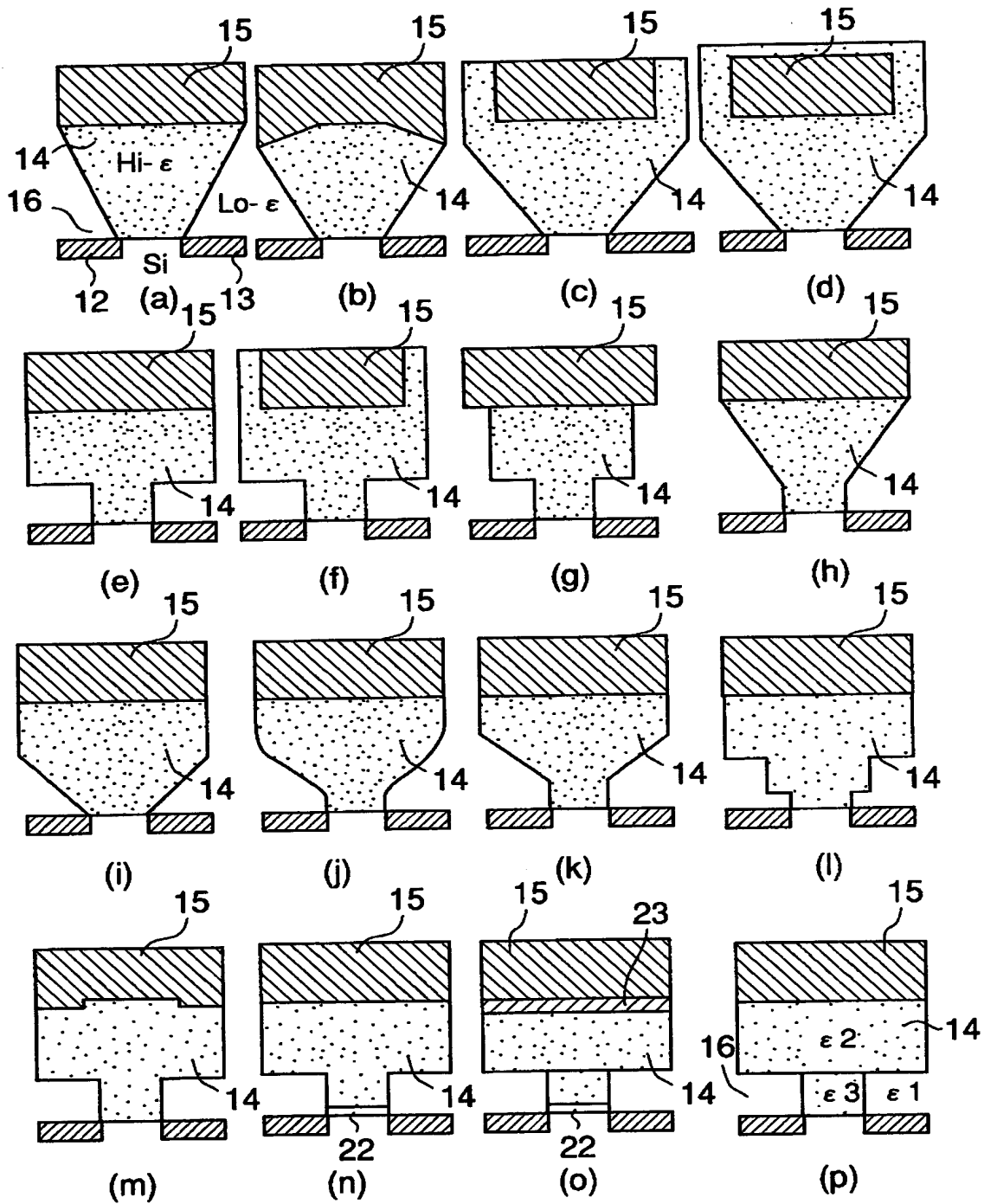
【図9】



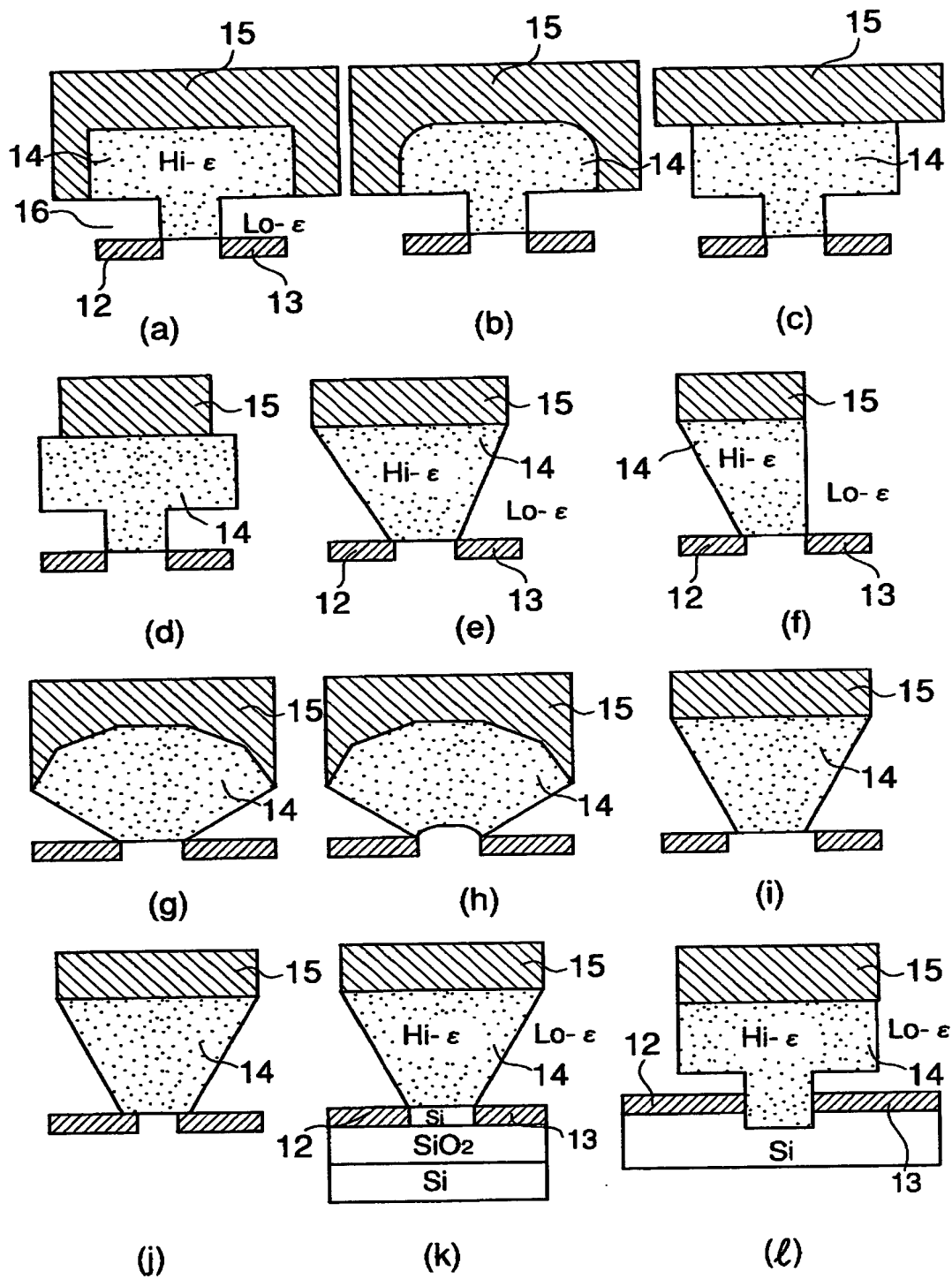
【図 10】



【図 11】

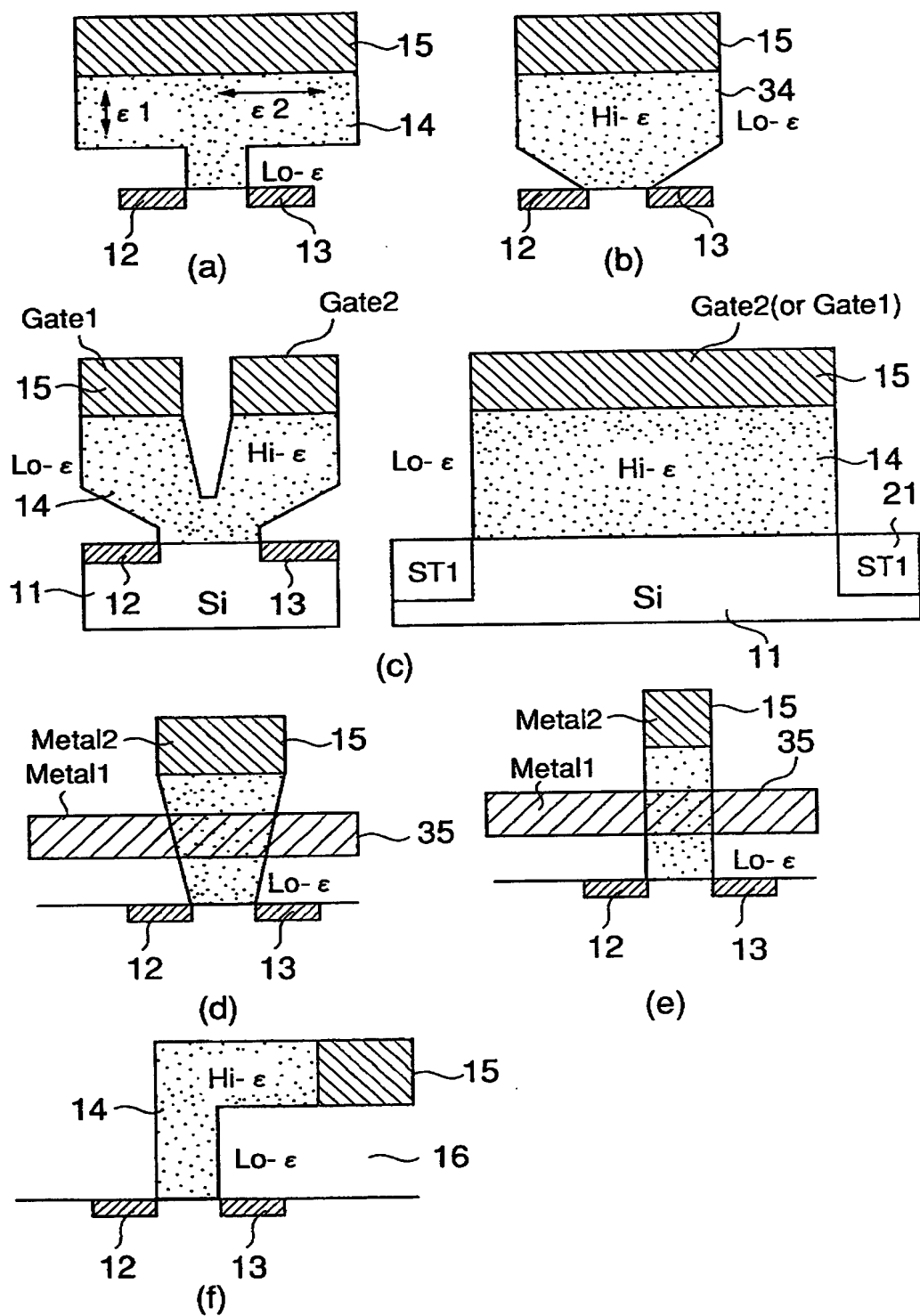


【図 12】

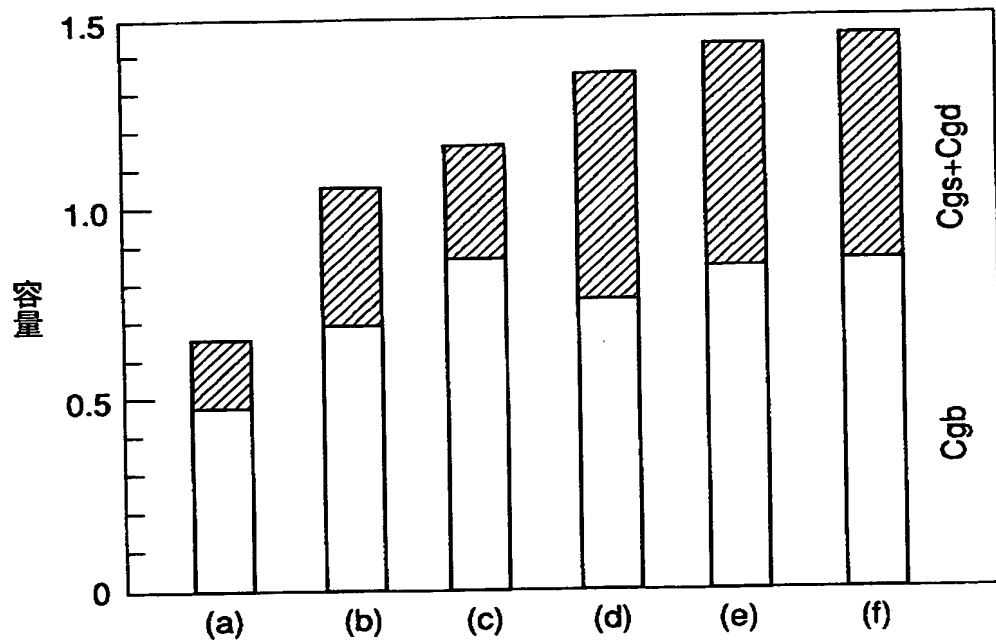
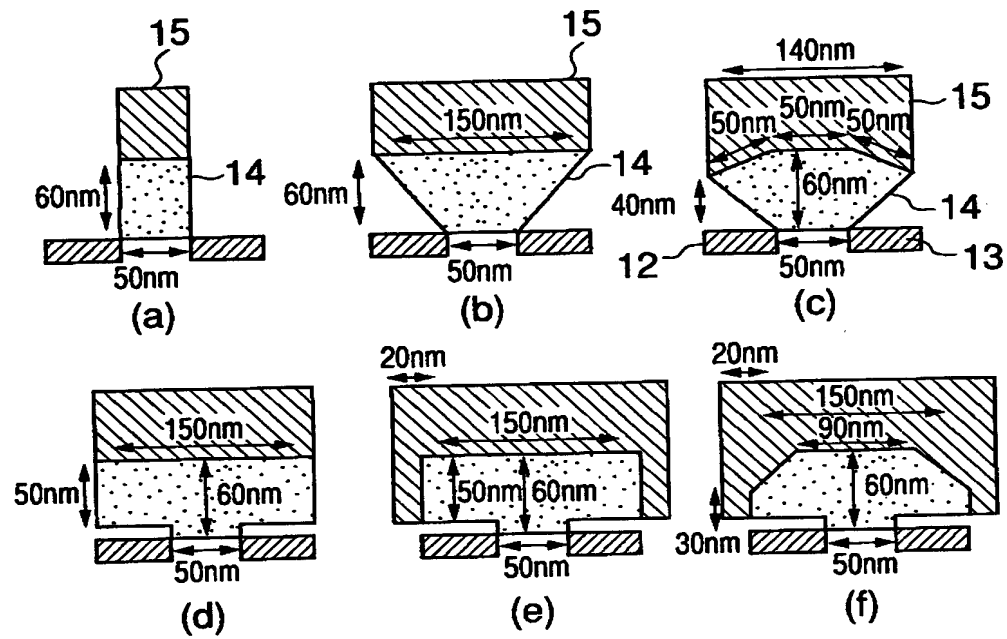




【図 13】

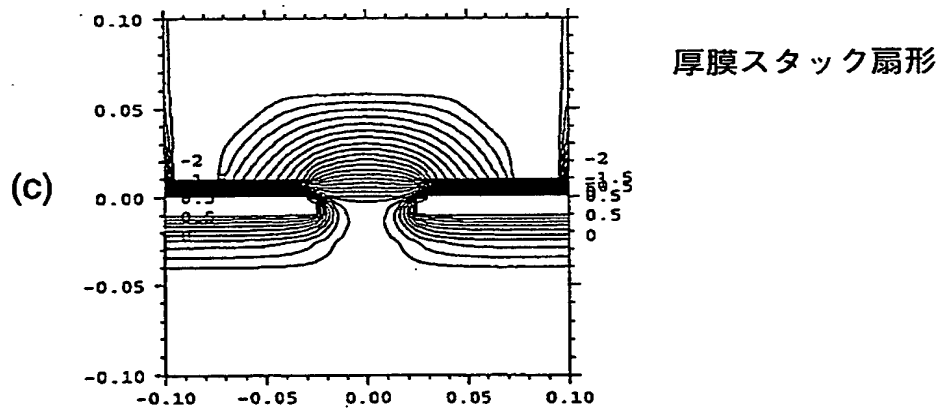
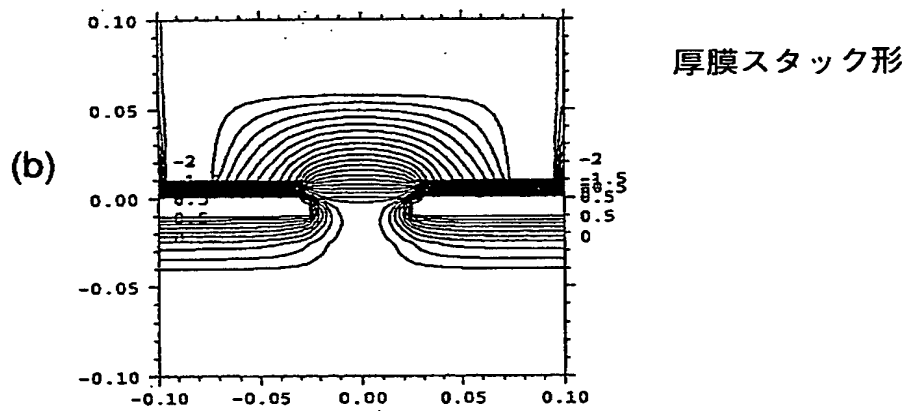
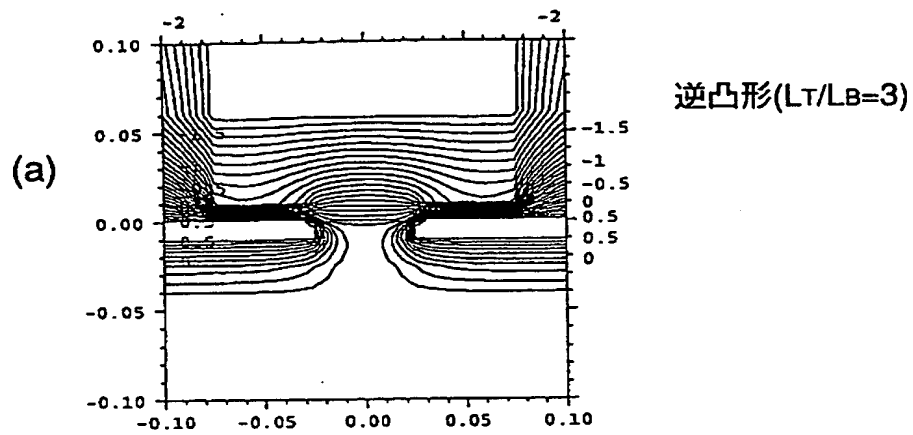


【図 14】



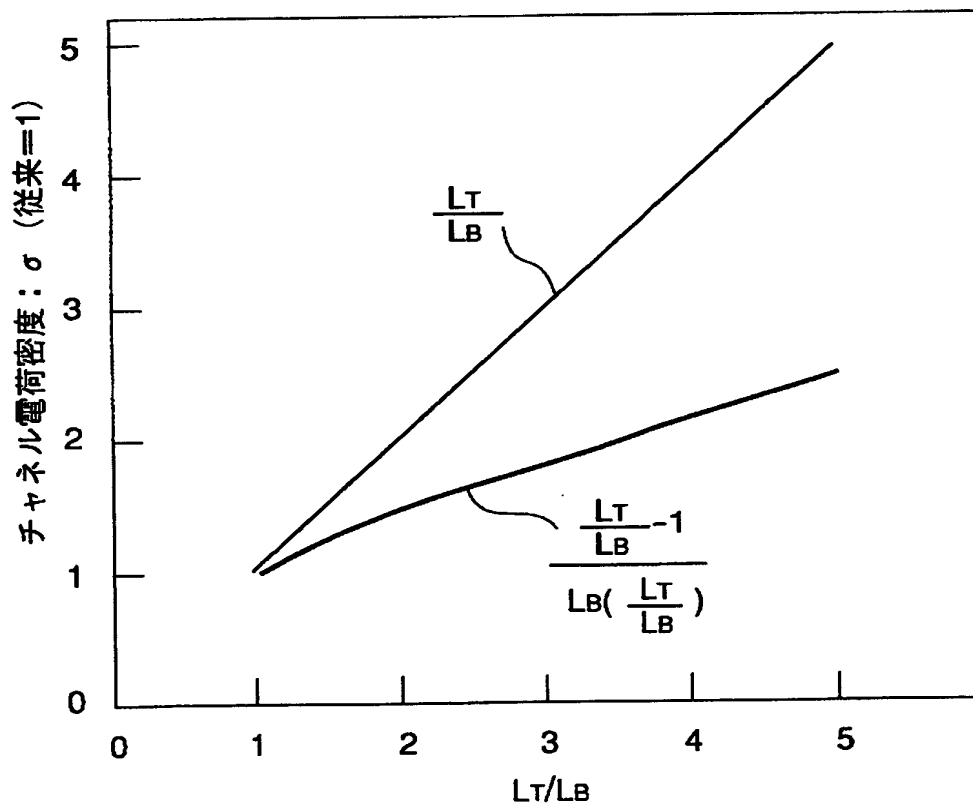
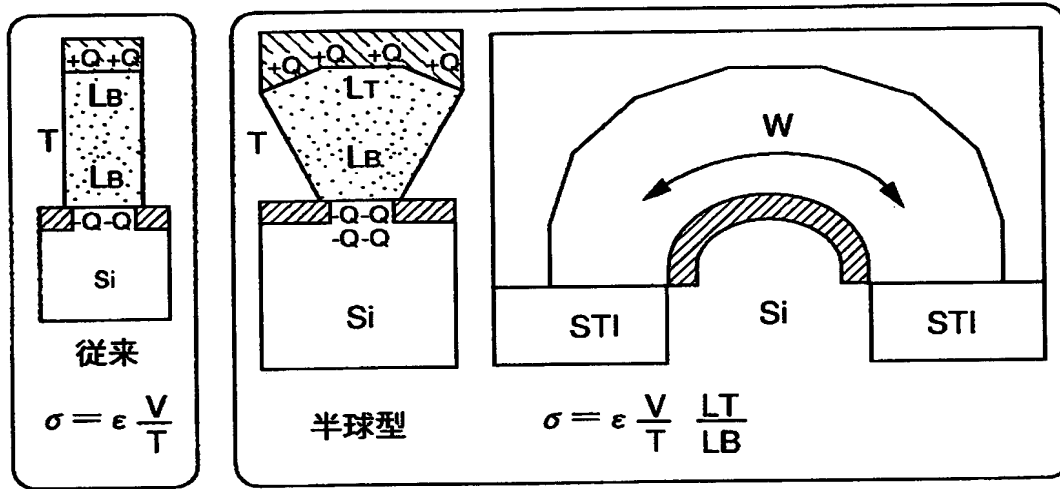
各容量成分の形状依存性  
 $T_{ef}=3.0\text{nm}$   $\epsilon_r=80(\text{TiO}_2)$

【図 15】

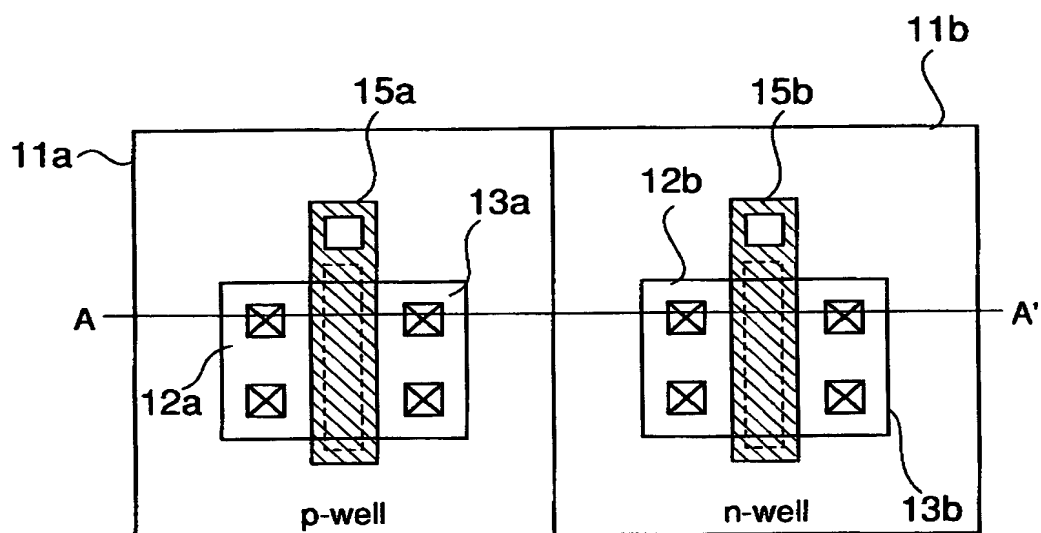


等電位線図( $V_g=-3V$ ) $V_d=V_s=V_b=0V$ ,  $0.1V/div$   
 ( $T=60nm$ , ( $T_{ef}=3nm$ ),  $L_B=50nm$ ,  $\epsilon_r=80(TiO_2)$ )

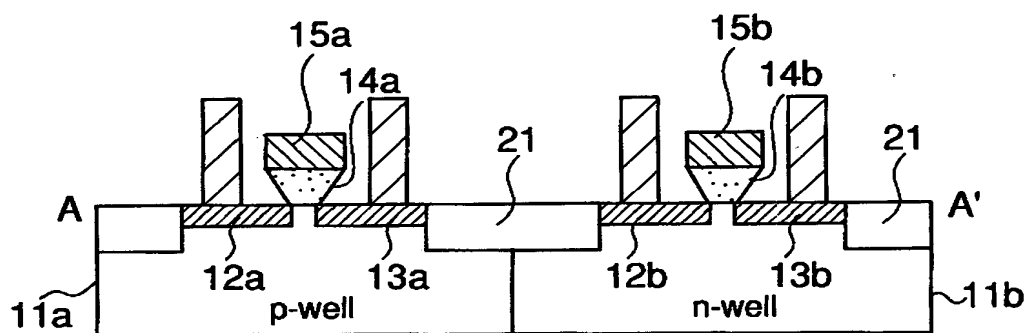
【図 16】



【図 17】

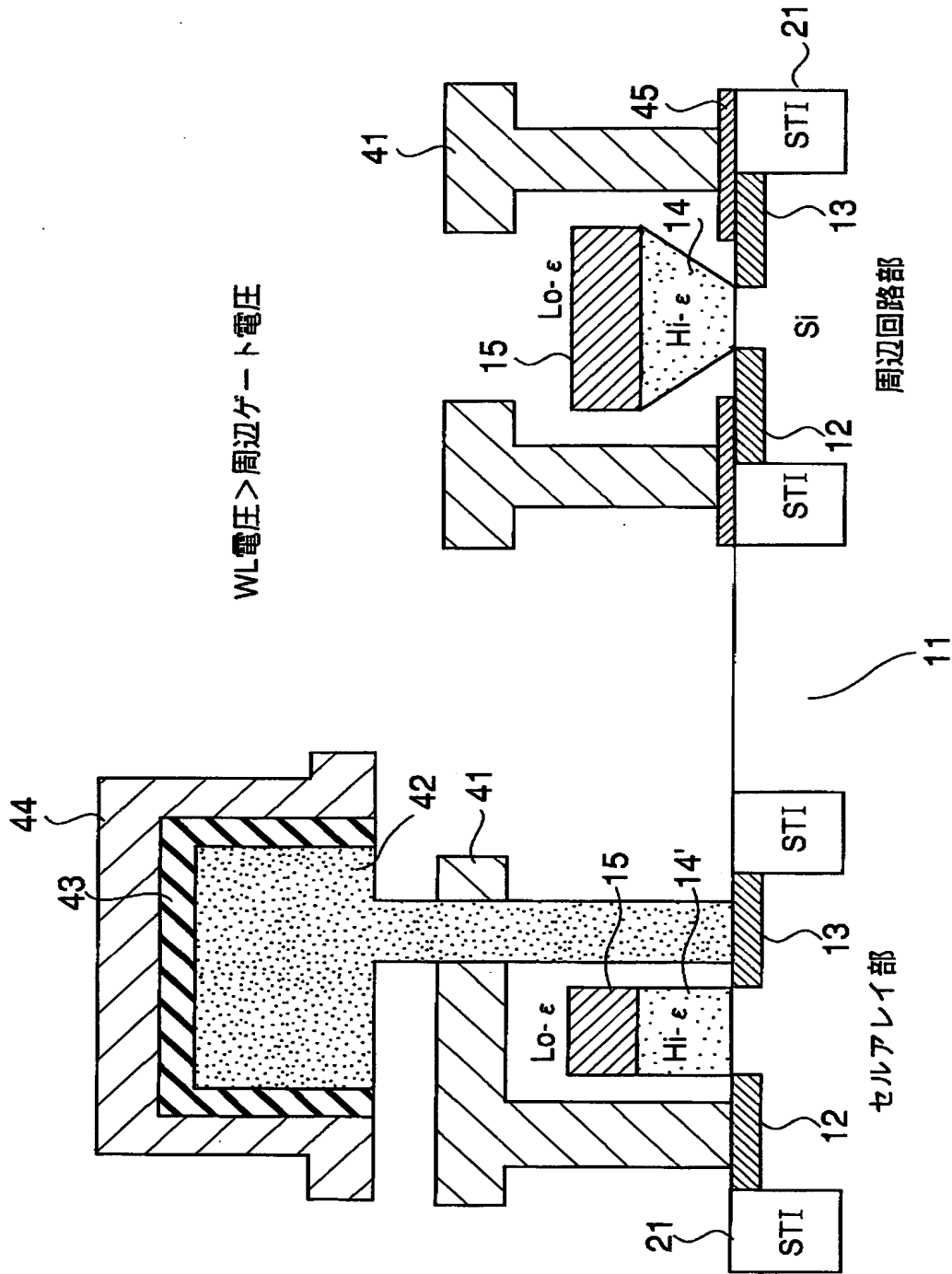


(a)



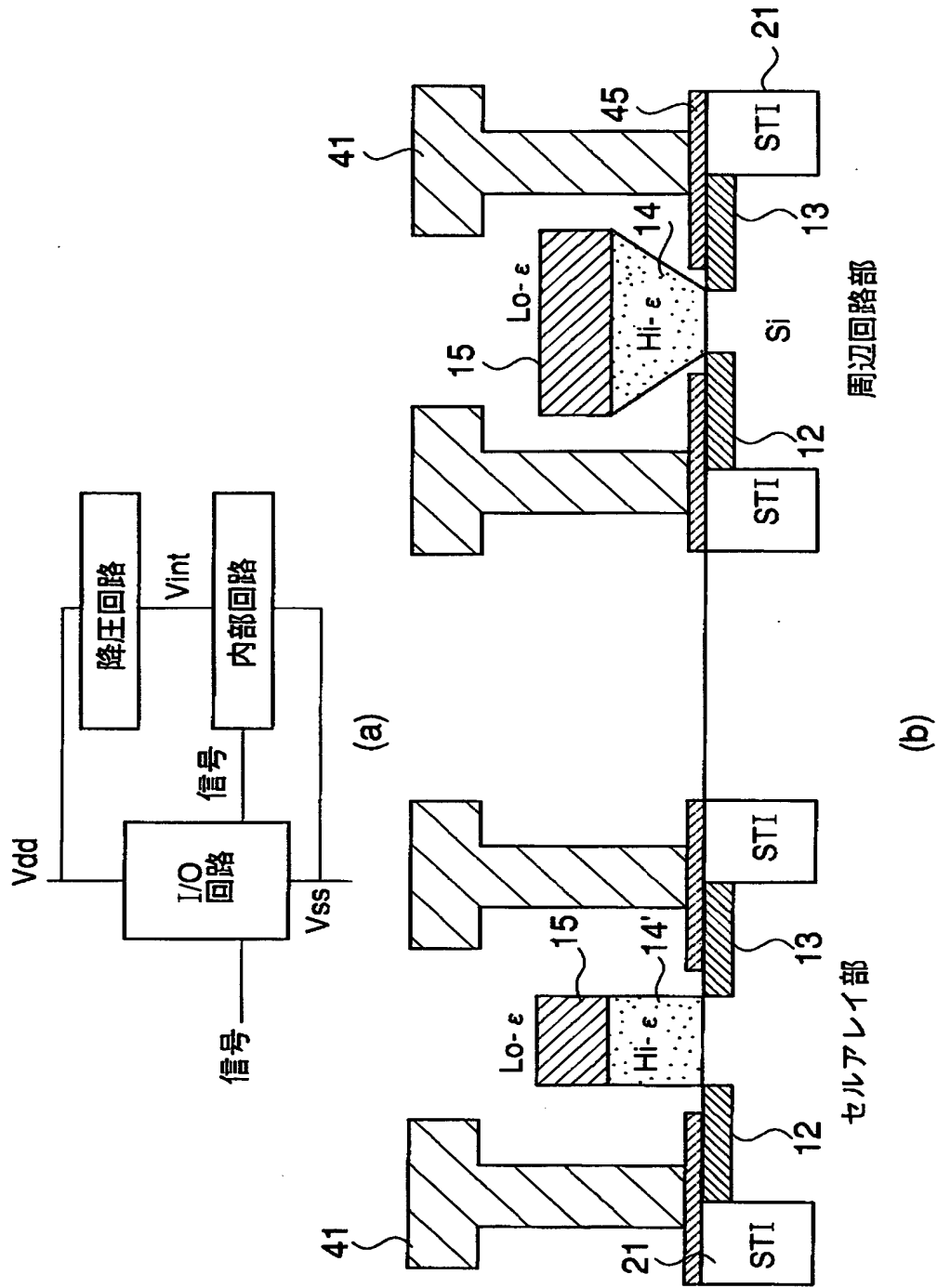
(b)

【図 18】

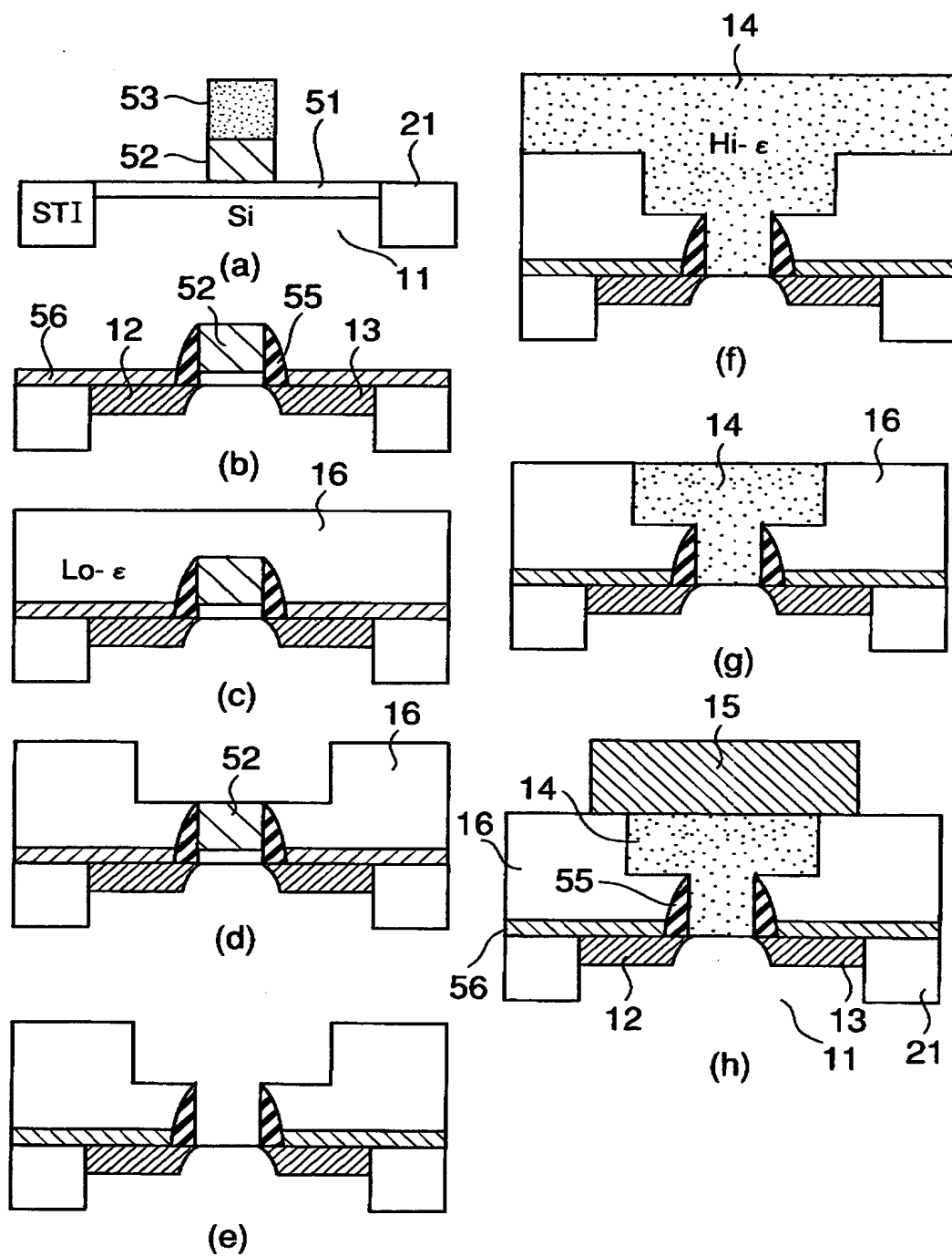


【図 19】

I/O部ゲート電圧>内部回路ゲート電圧

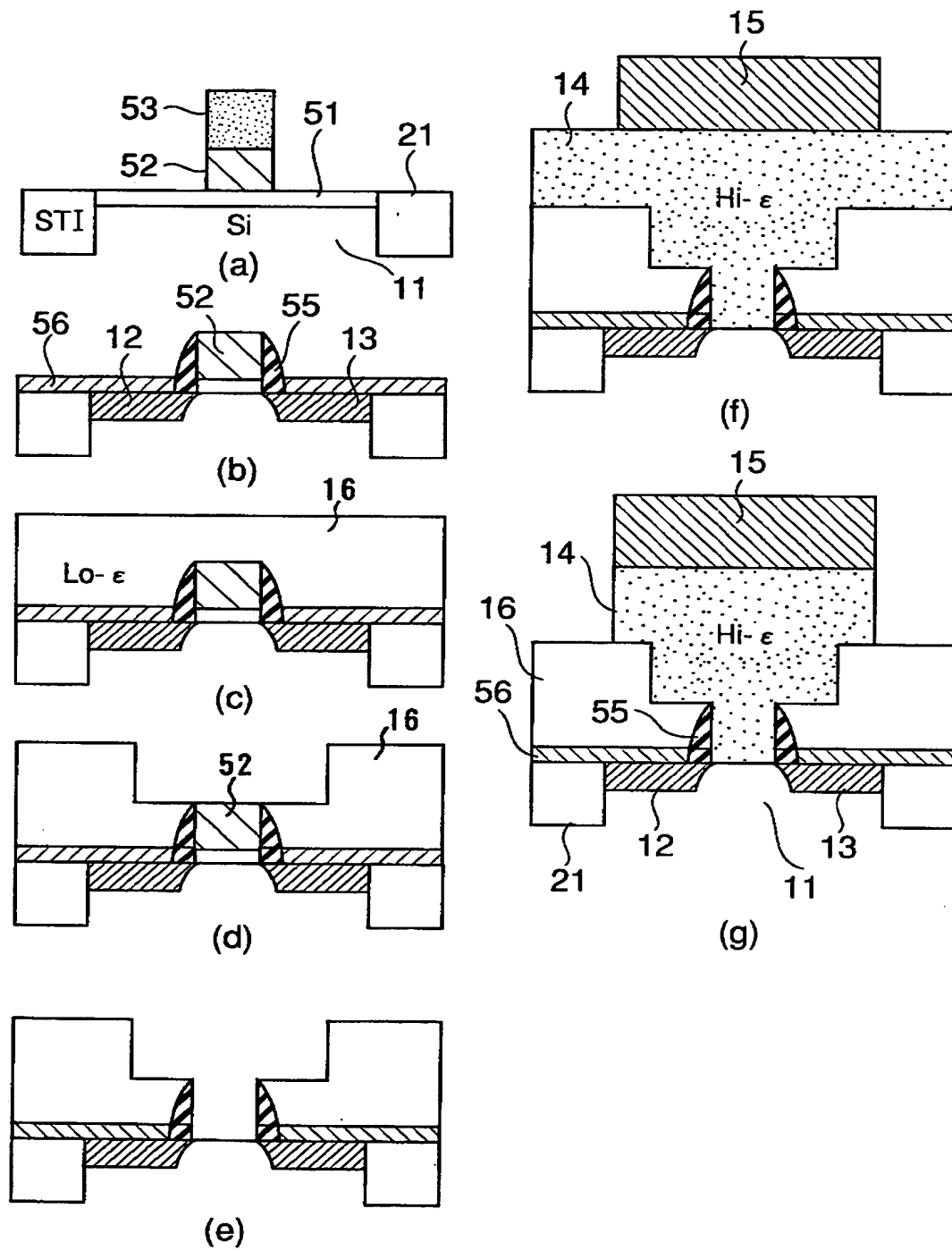


【図 20】

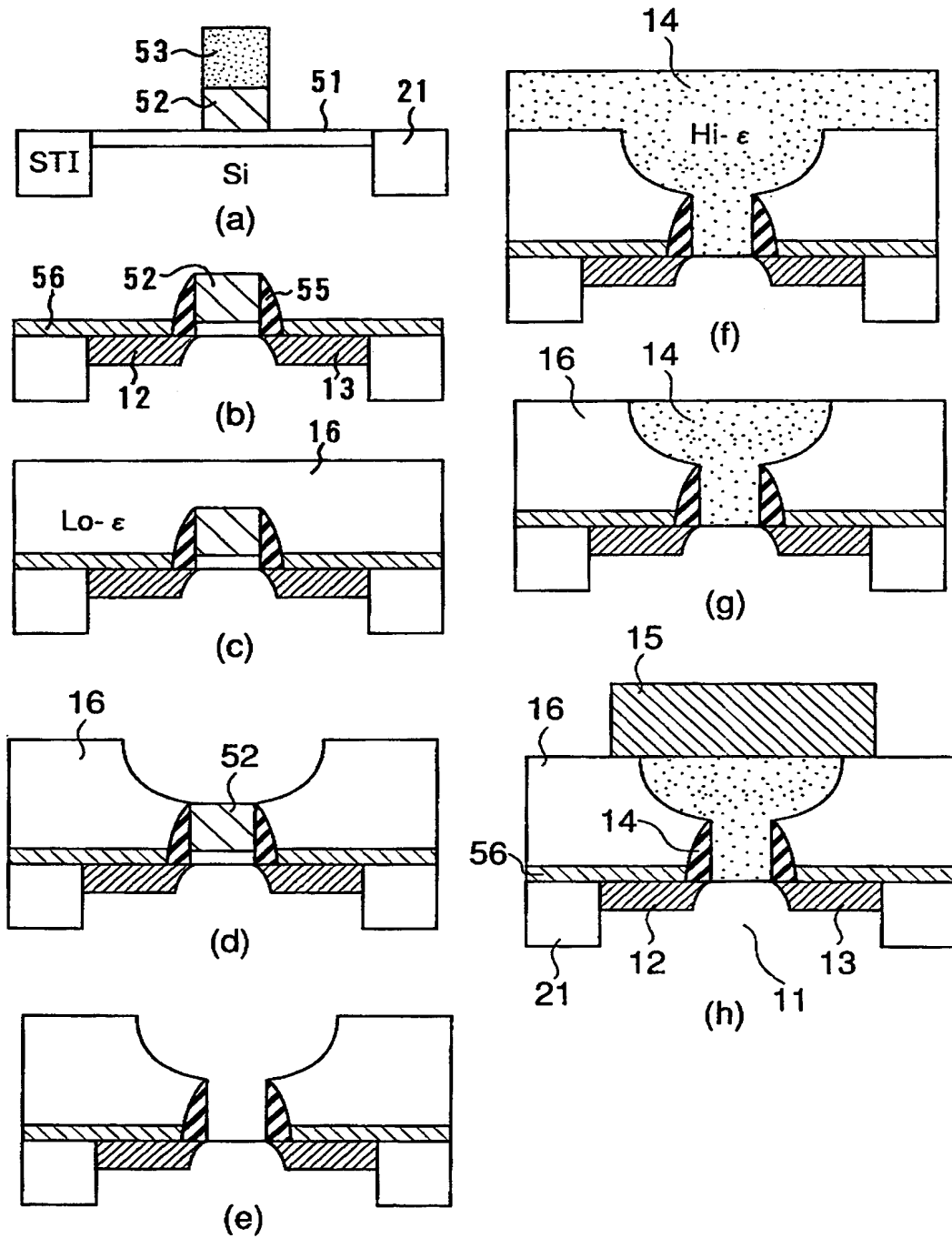




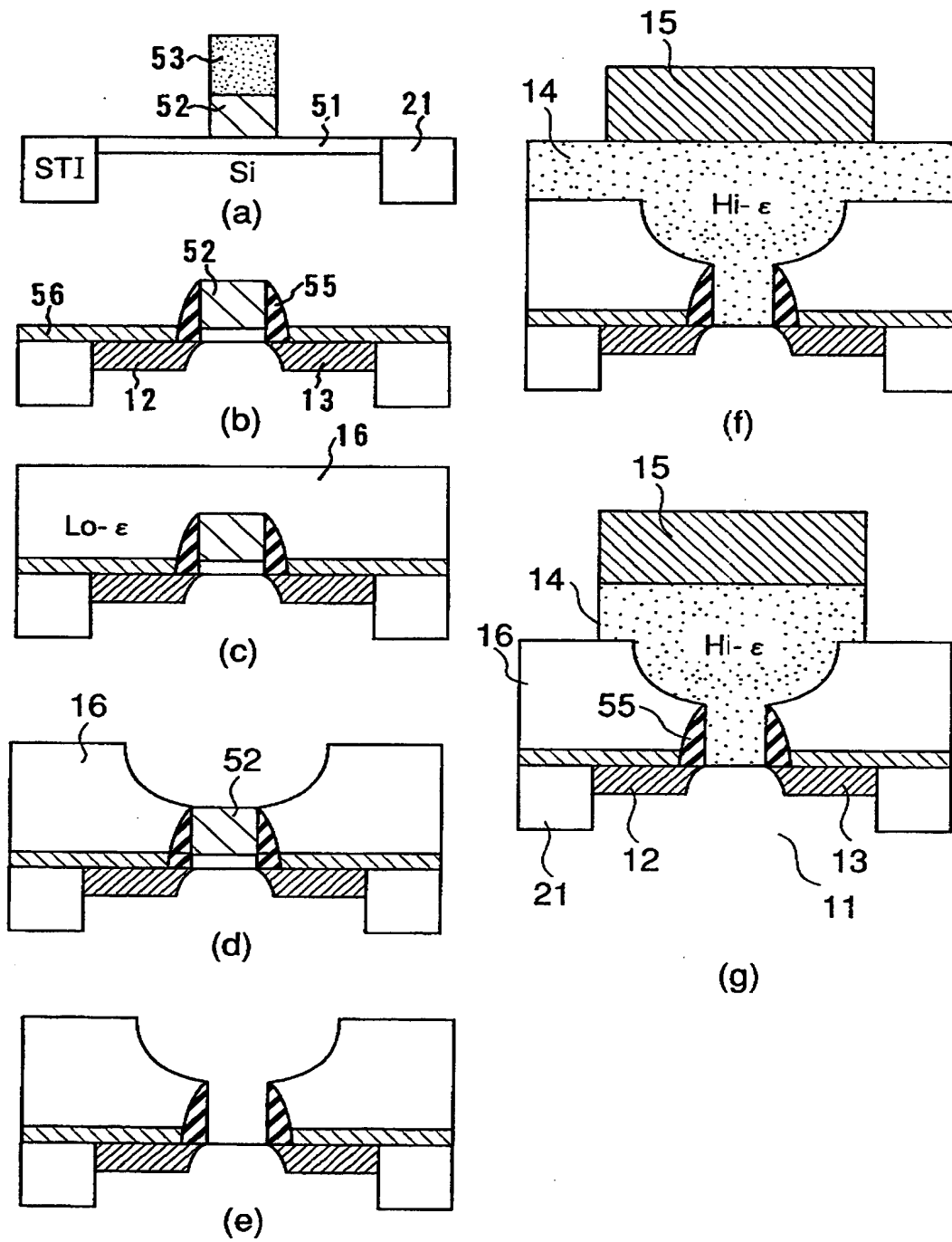
【図 21】



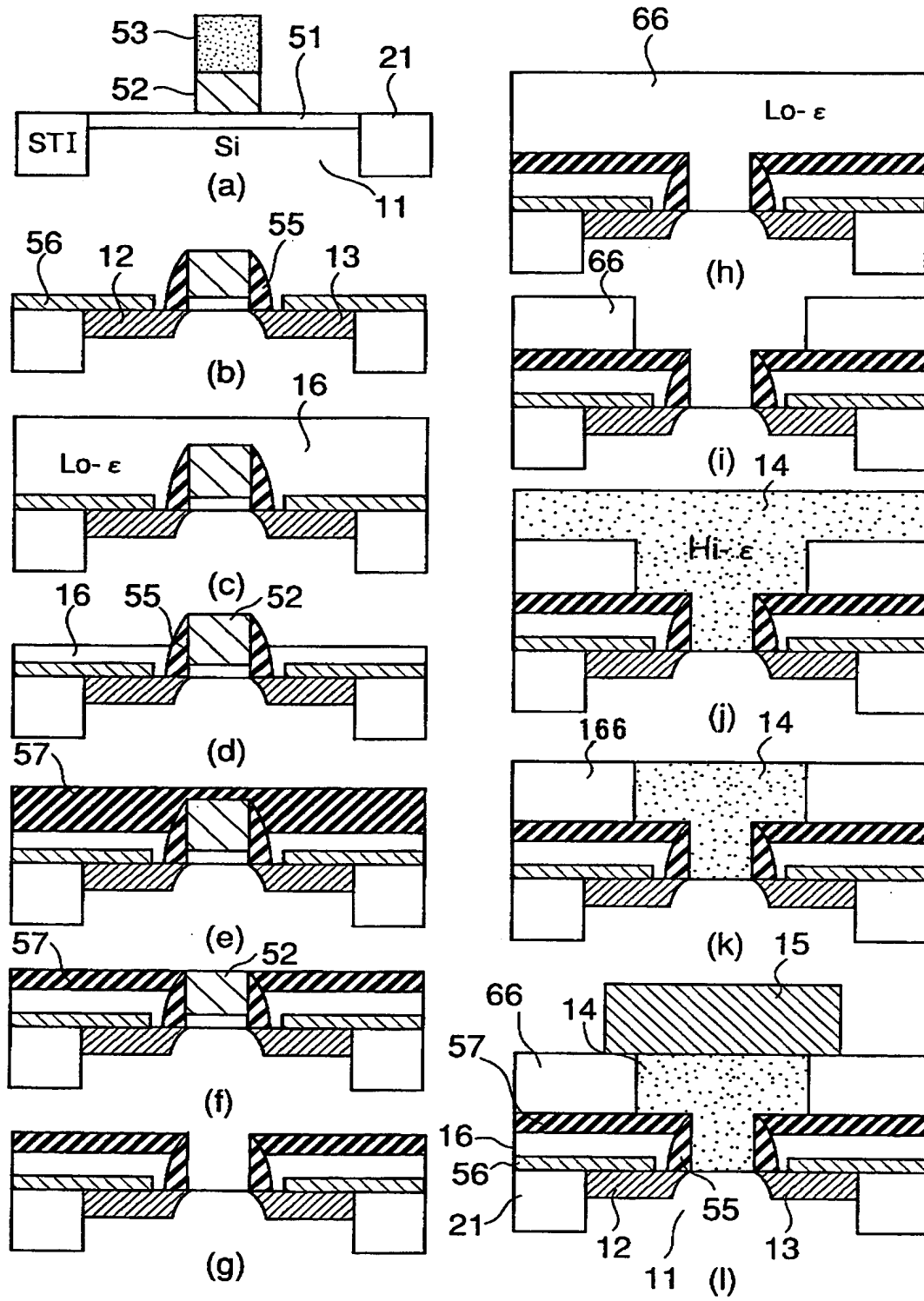
【図 22】



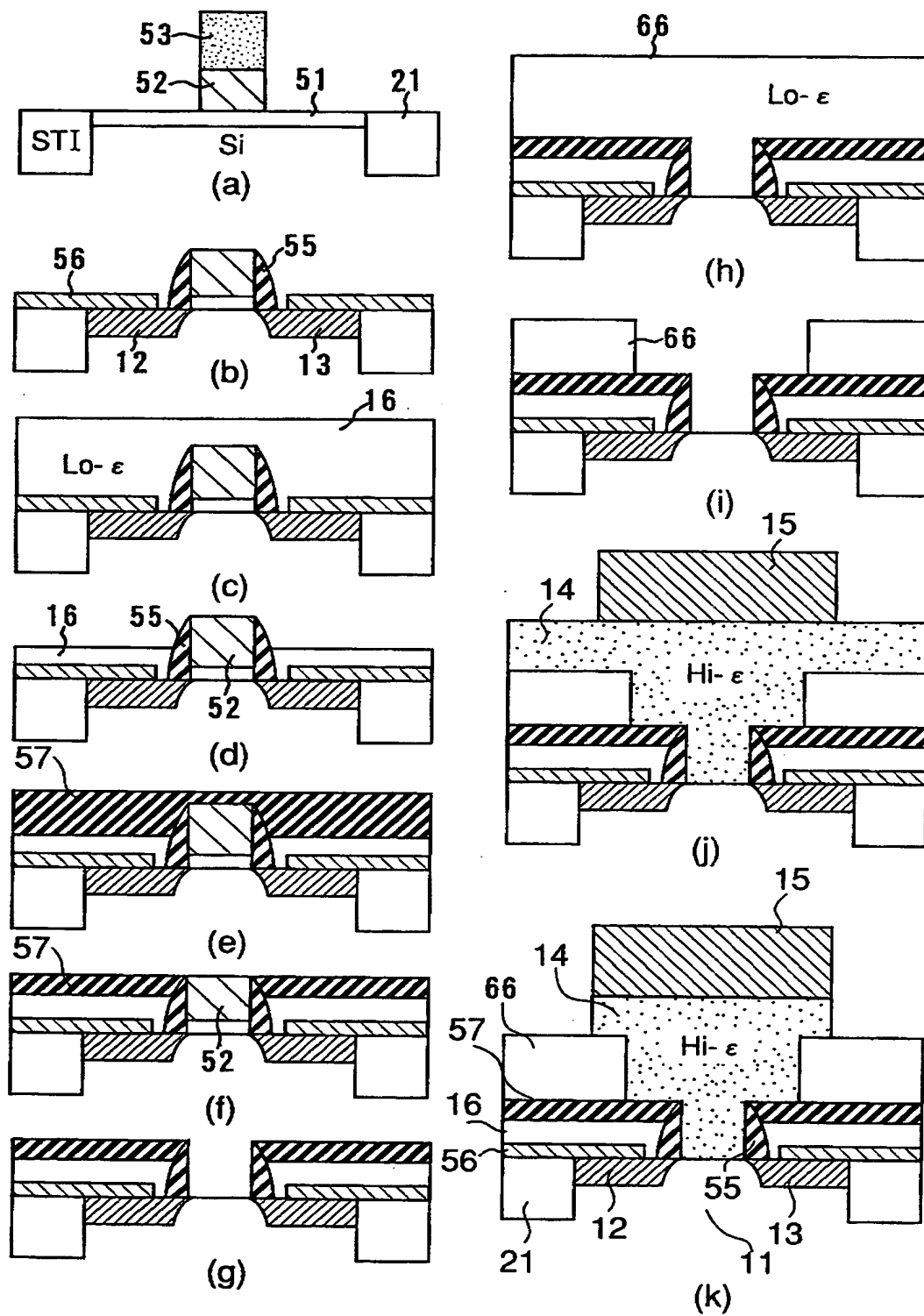
【図 23】



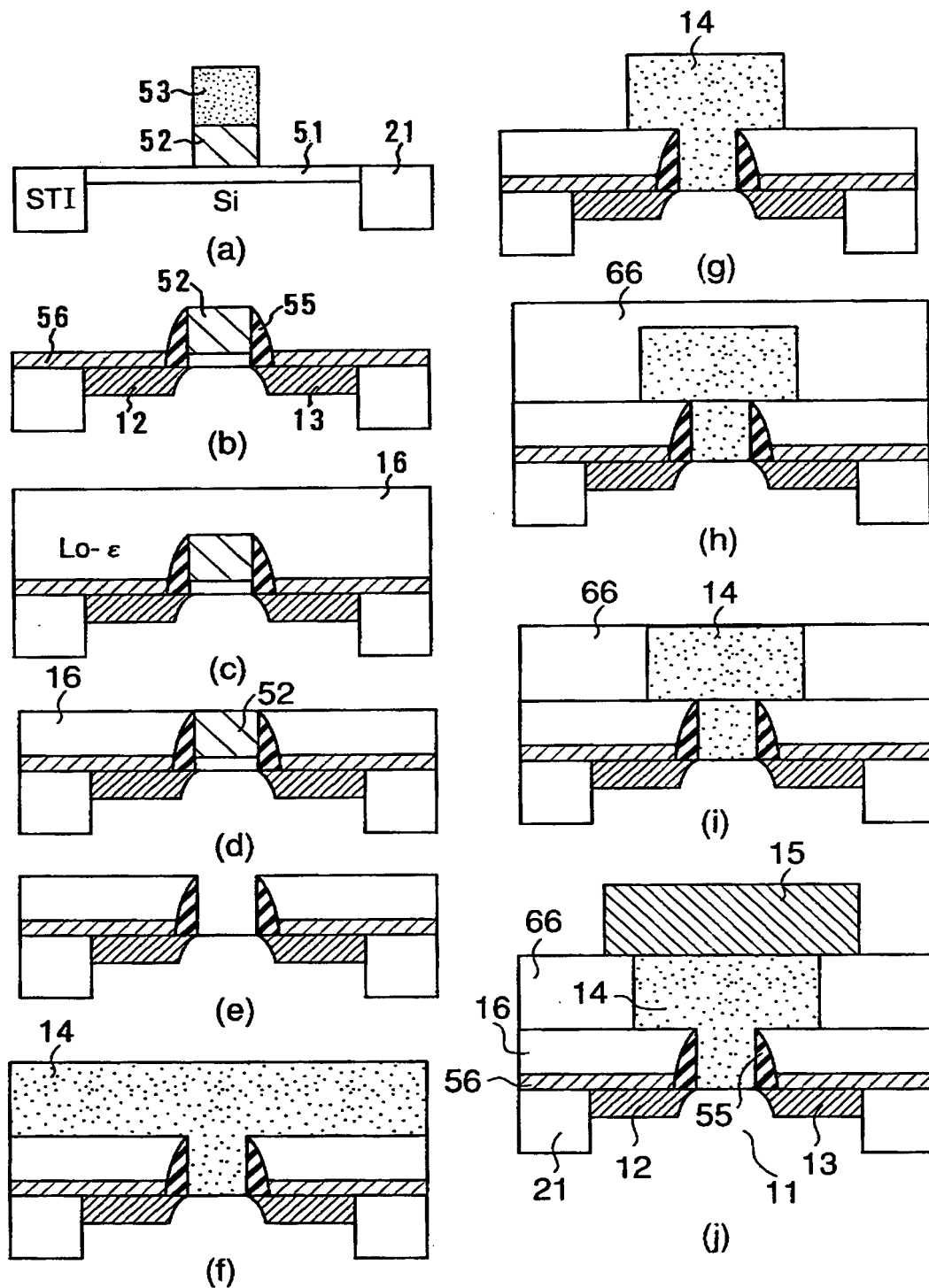
【図 24】



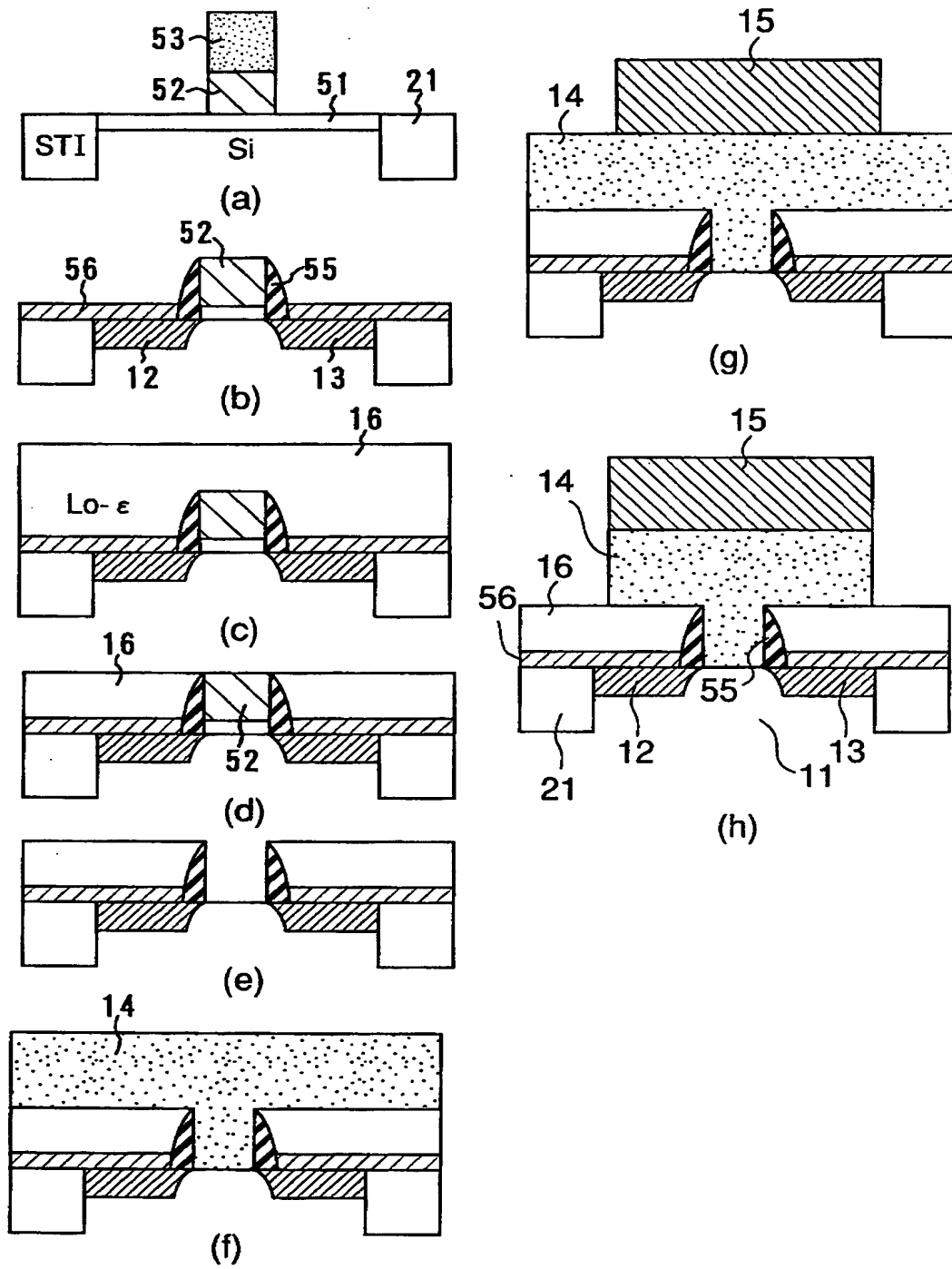
【図 25】



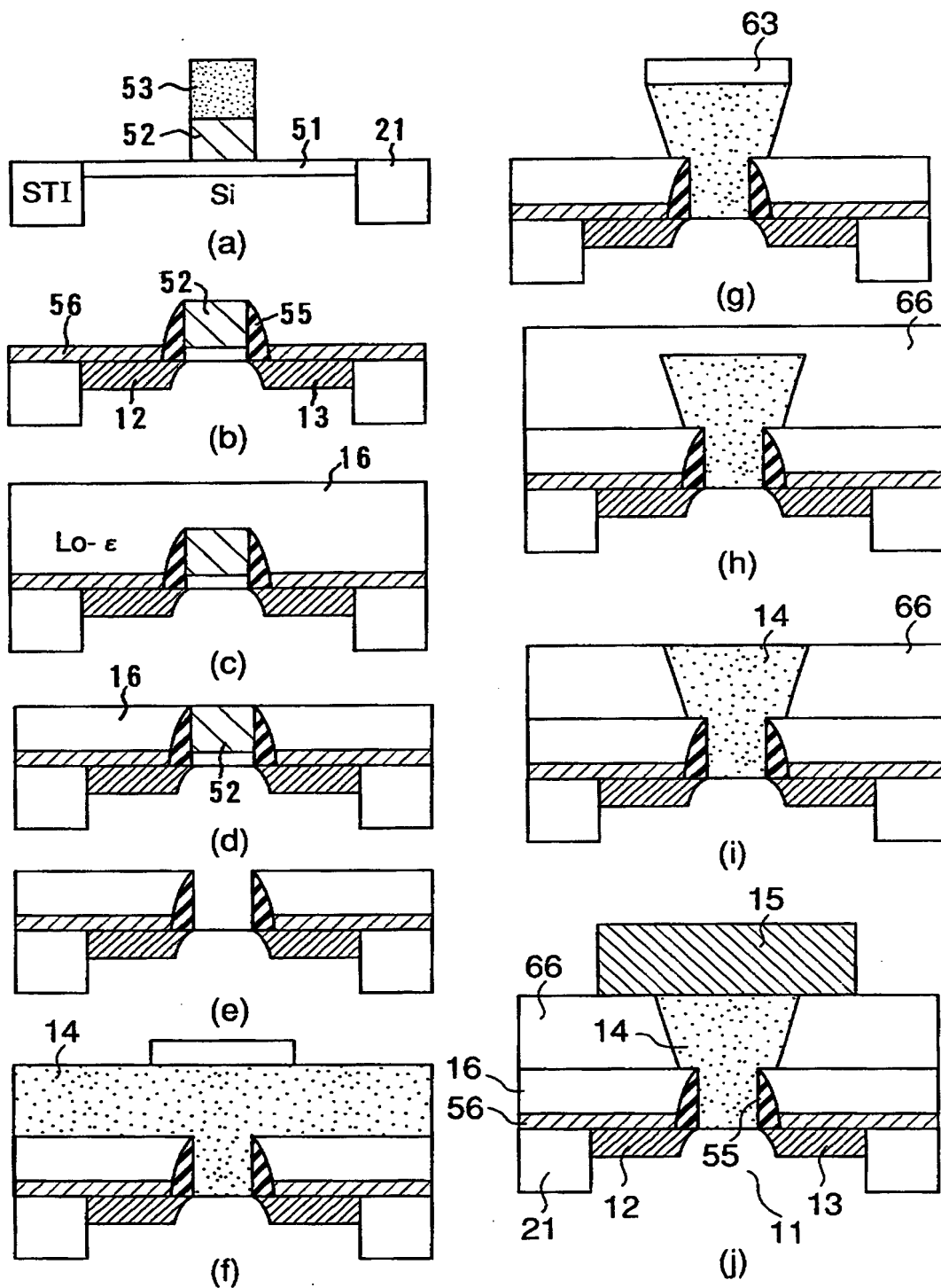
【図 26】



【図 27】

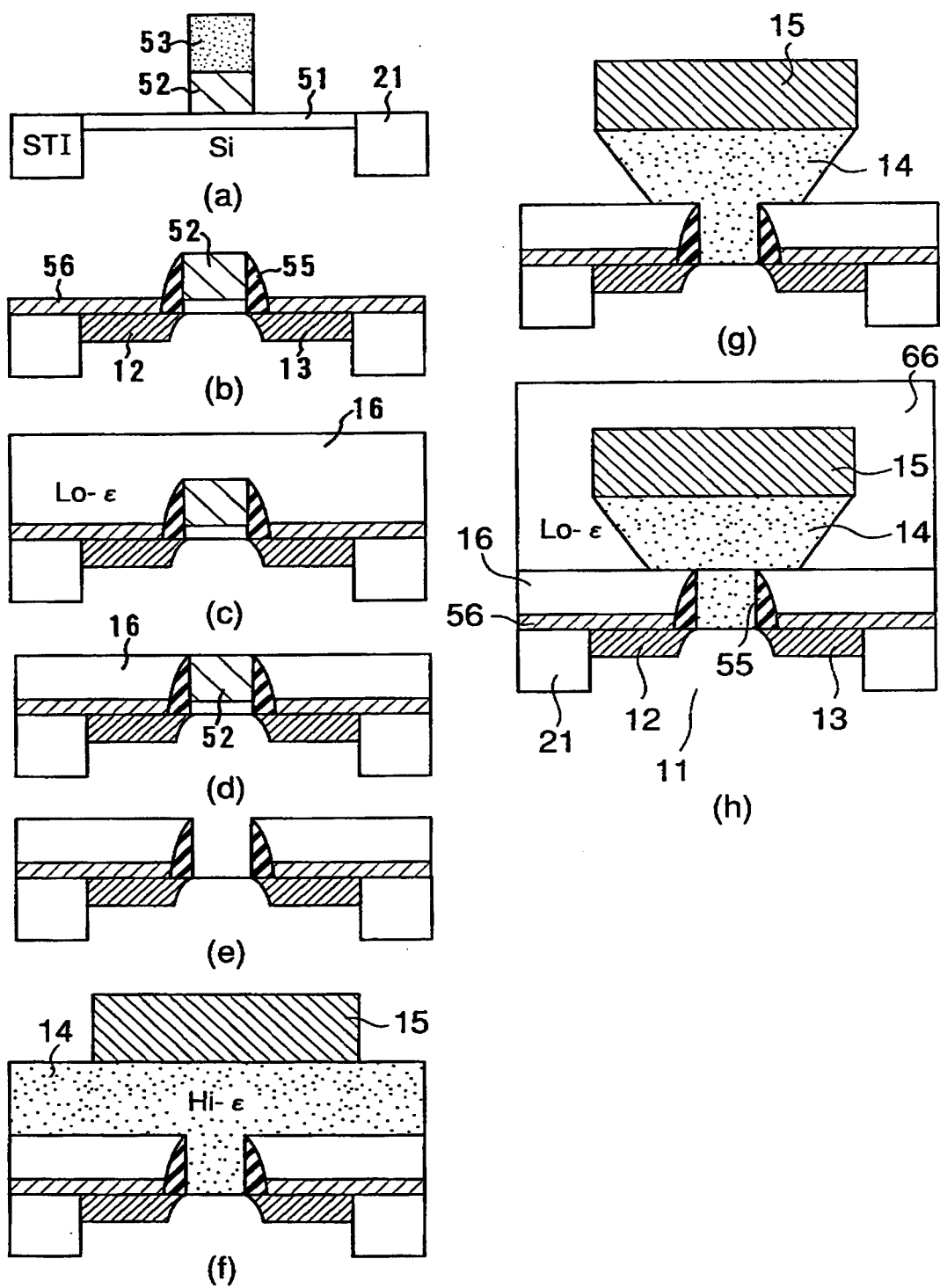


【図 28】

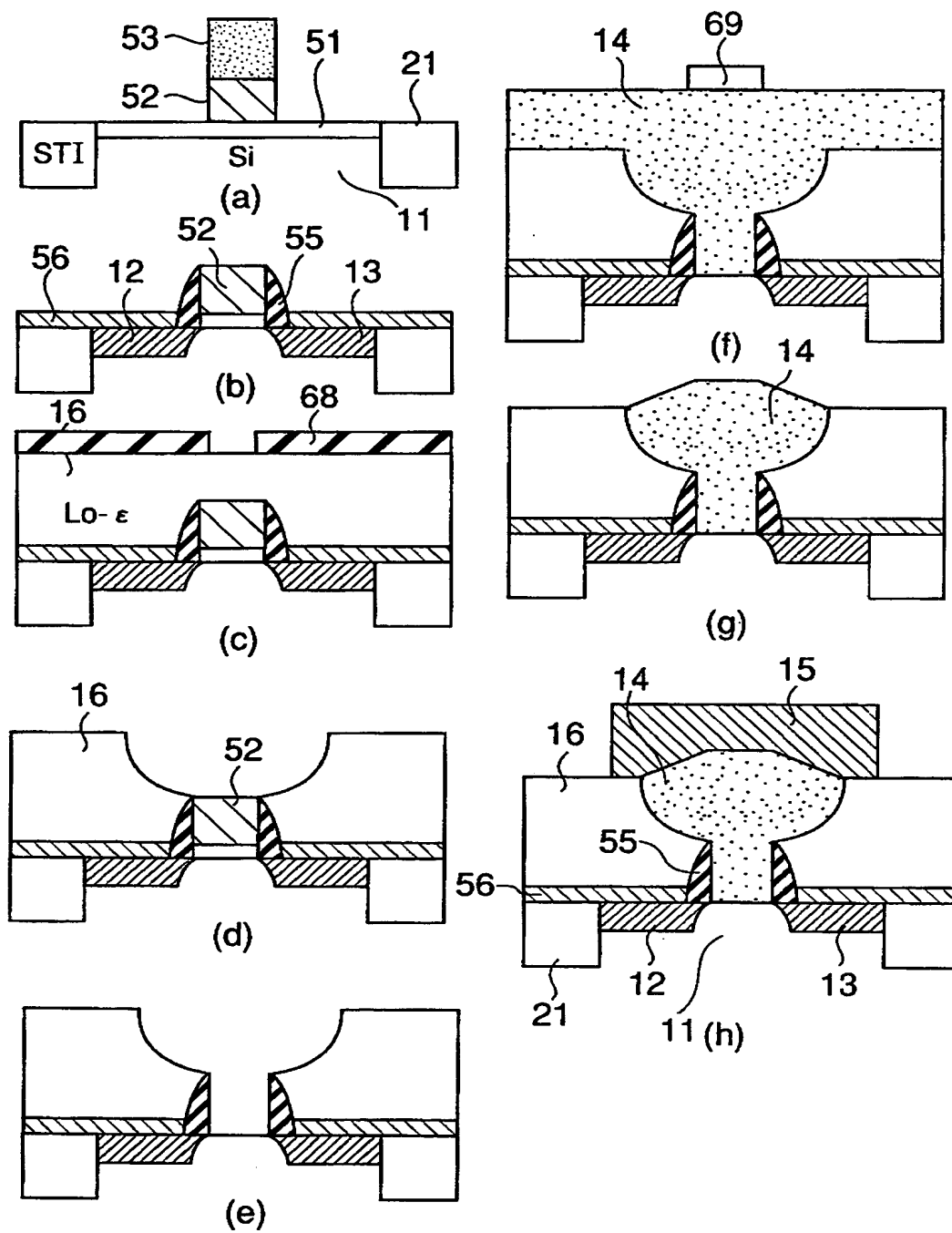




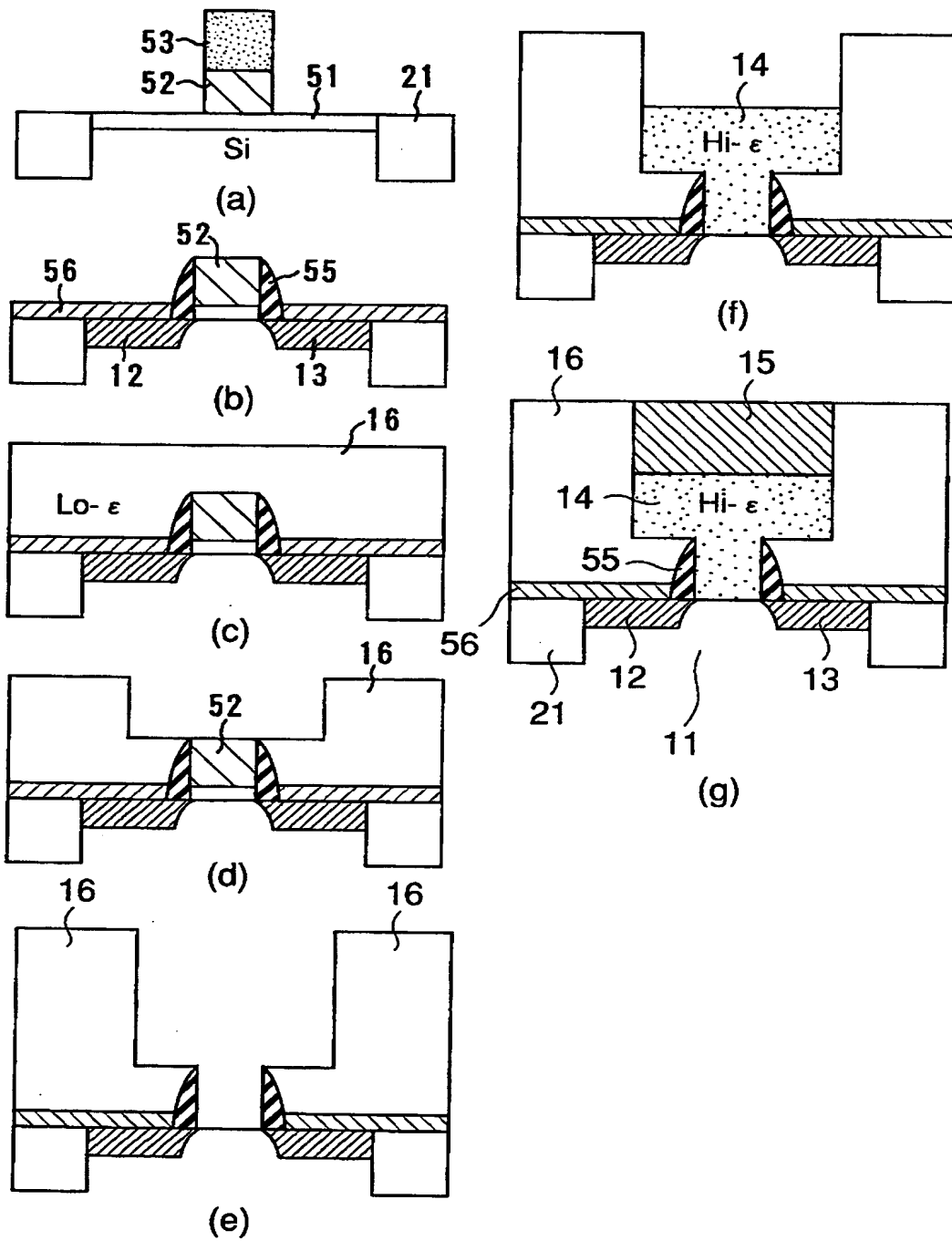
【図 29】



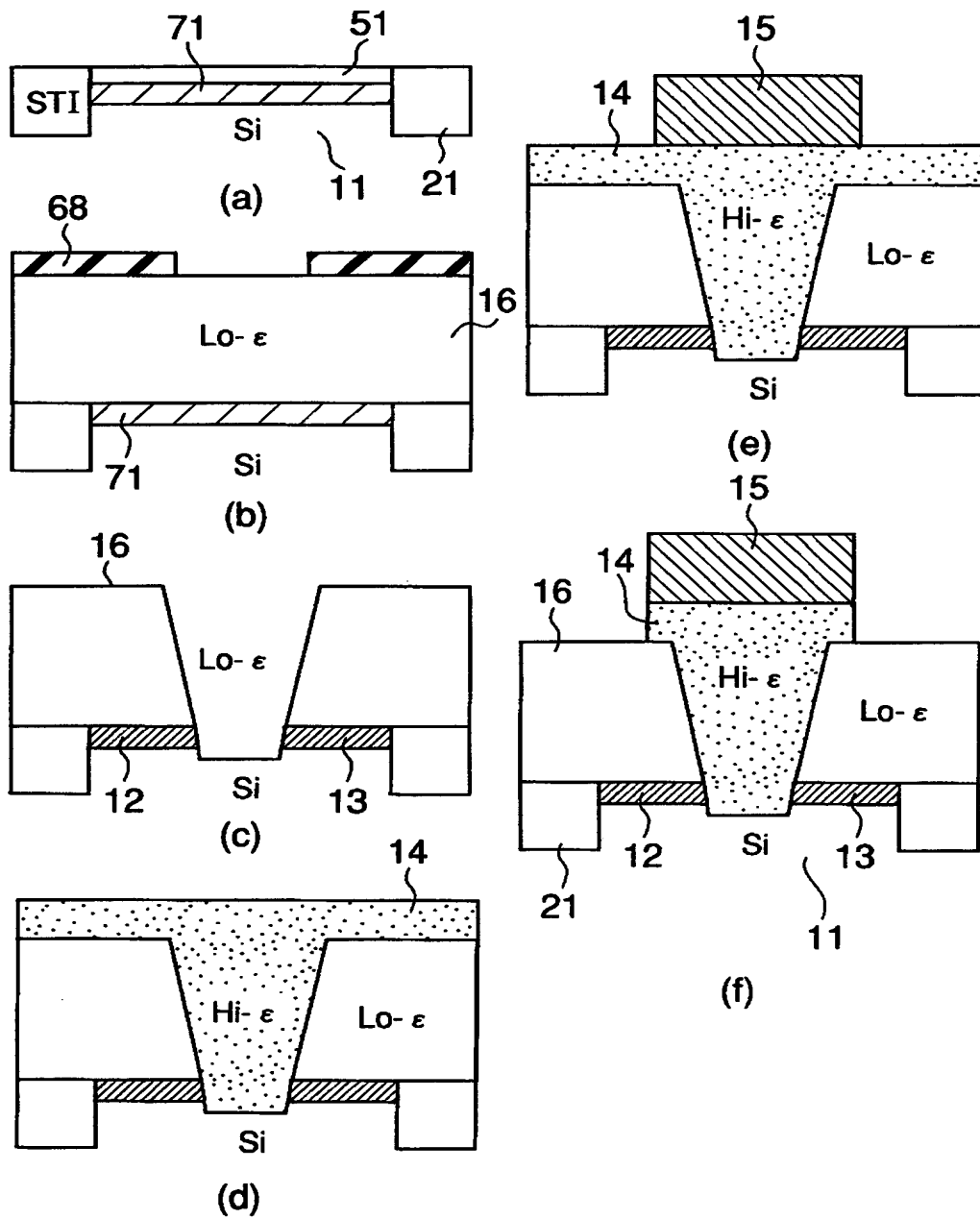
【図 30】



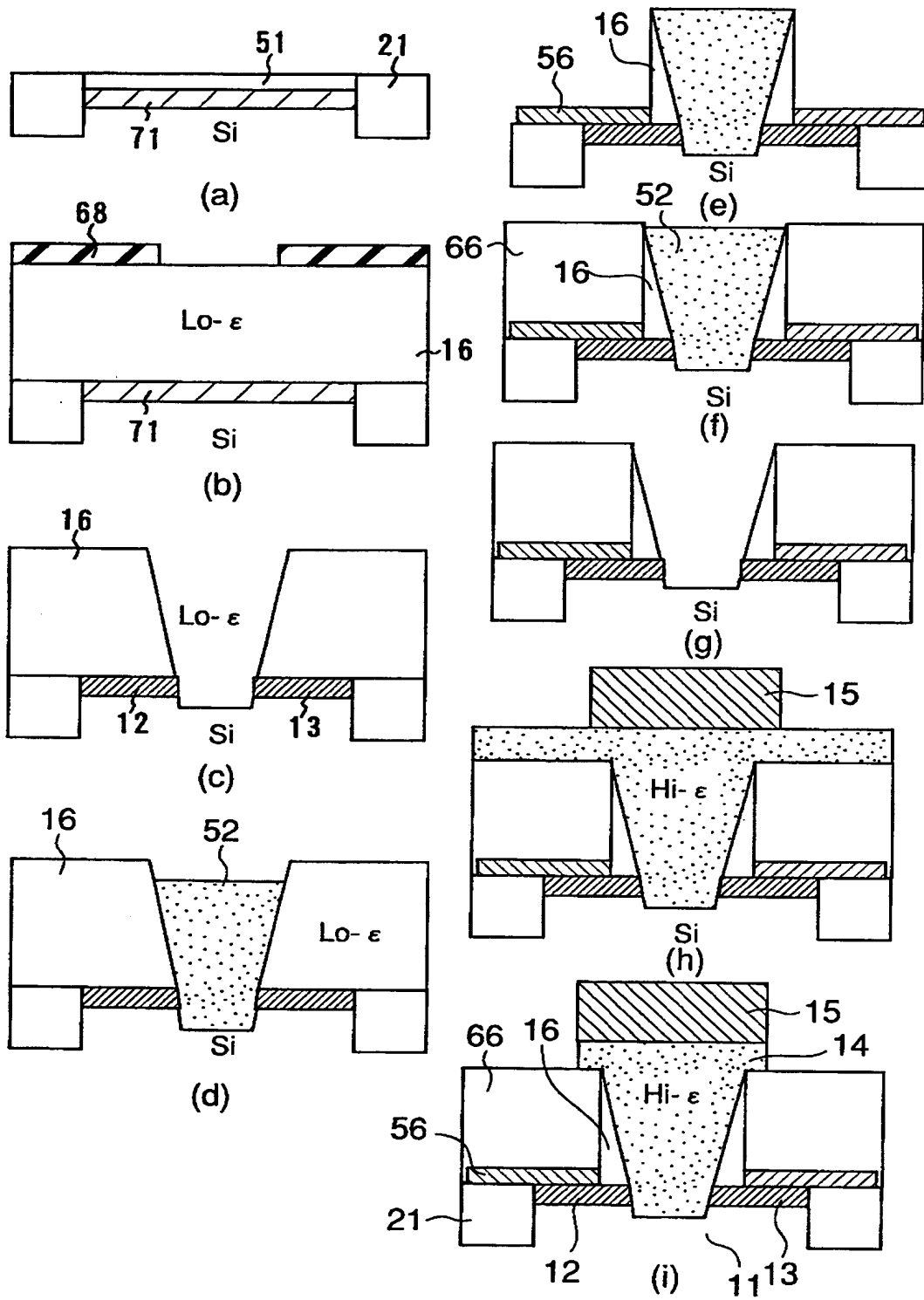
【図 31】



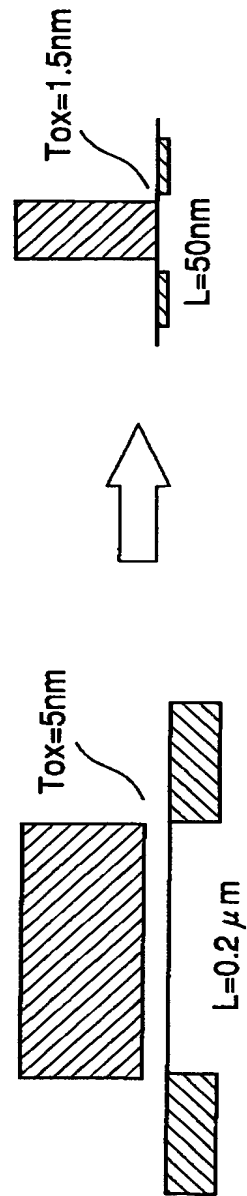
【図 3 2】



【図 33】

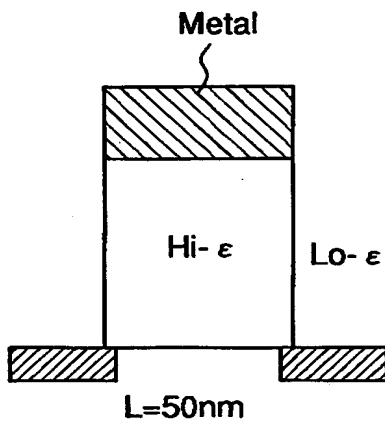


【図 34】



- ゲート絶縁膜リーク ( $Tox=3.0nm$ が限界)
- トネルリング→直接トンネリング
- シヨートチャネル効果顕著

【図 35】



	Tef=1.5nm	Tef=3.0nm
TiO <sub>2</sub>	30nm	60nm
SrTiO <sub>3</sub>	75nm	150nm
BST	110nm	220nm

AR=0.6~4.4

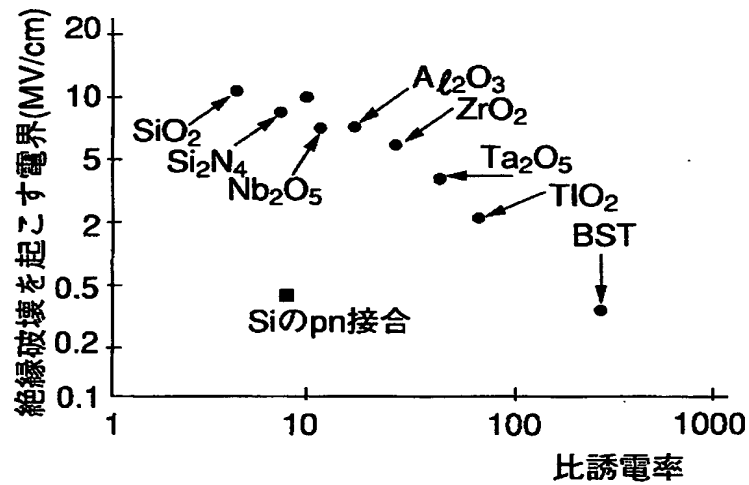
高誘電体絶縁膜  
実効酸化膜換算では



リーク電流大きい  
絶縁耐圧低い



薄膜化し難い



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜に比誘電率が20以上の高誘電率材料を用いたMOSトランジスタにおいて、ゲート絶縁膜厚を薄くすること無く、ゲートリーク電流を抑えつつ、トランジスタの駆動能力向上、ショートチャネル効果抑制、サブスレスホールド特性の向上等をはかる。

【解決手段】 第1導電型のチャネルと、このチャネルの両側に形成された第2導電型のソース12及びドレイン13と、チャネルの上に形成された高い比誘電率を持つ高誘電率ゲート絶縁膜14と、このゲート絶縁膜14上に形成されたゲート電極15と、ゲート絶縁膜14の両側に形成された低い比誘電率を持つ低誘電率側部絶縁膜16とを備えたMOSトランジスタにおいて、ゲート絶縁膜14の比誘電率は20以上で、かつゲート絶縁膜14の底部面積S1に対して上部面積S2は1.5倍以上大きい。

【選択図】 図1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社東芝

【代理人】 申請人

【識別番号】 100058479

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外國  
特許法律事務所内

【氏名又は名称】 鈴江 武彦

【選任した代理人】

【識別番号】 100084618

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外國  
特許法律事務所内

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外國  
特許法律事務所内

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外國  
特許法律事務所内

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外國  
特許法律事務所内

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮内外國  
特許法律事務所内

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】	100070437
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮内外國 特許法律事務所内
【氏名又は名称】	河井 将次

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝